

37.5.6 Форматы связи

...

Формат фрейма данных

Сдвиговый регистр SPI можно настроить так, чтобы он сдвигал сначала MSB или LSB, в зависимости от значения бита LSBFIRST. Размер кадра данных выбирается с помощью битов DS. Его можно установить в диапазоне от 4 до 16 бит, и эта настройка применяется как для передачи, так и для приема. Каким бы ни был выбран размер кадра данных, доступ для чтения к FIFO должен быть выровнен с уровнем FRXTH. При доступе к регистру SPIx_DR кадры данных всегда выравниваются по правому краю либо в байт (если данные помещаются в байт), либо в полуслово (см. рис. 354). Во время связи синхронизируются и передаются только биты в кадре данных.

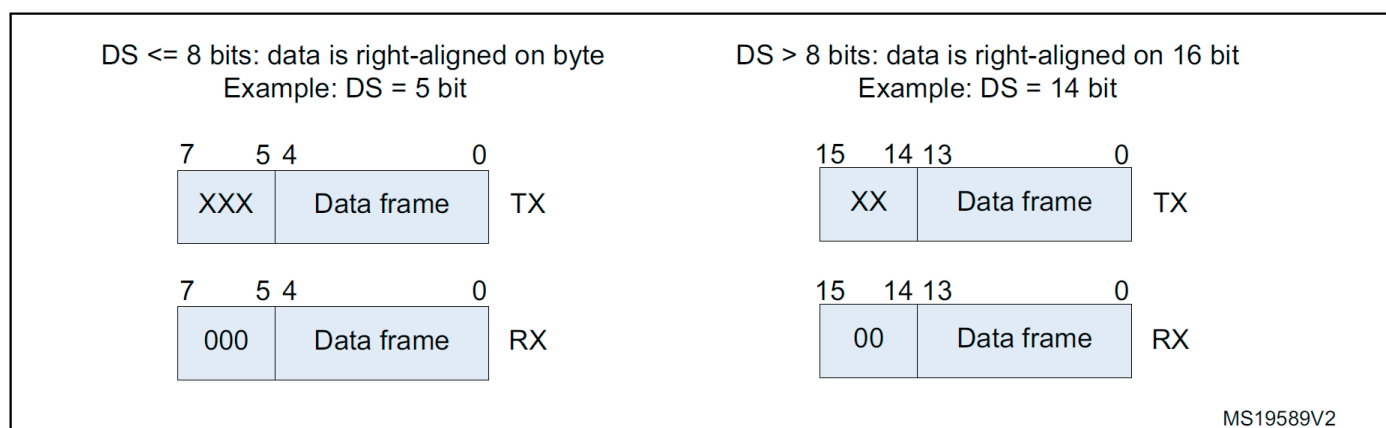


Рисунок 354. Выравнивание данных, когда длина данных не равна 8 или 16 битам

Примечание. Минимальная длина данных составляет 4 бита. Если выбрана длина данных менее 4 бит, размер кадра данных принудительно устанавливается на 8 бит.

37.5.7 Конфигурация SPI

Процедура настройки практически одинакова для ведущего и ведомого. Для настройки конкретных режимов следуйте соответствующим разделам. Когда стандартная связь должна быть инициализирована, выполните следующие действия:

1. Запишите правильные регистры GPIO: Настройте GPIO для контактов MOSI, MISO и SCK.
2. Записать в регистр SPI_CR1:
 - a) Настройте скорость передачи последовательных часов, используя биты BR[2:0] (Примечание: 4).
 - b) Настройте комбинацию битов CPOL и CPHA, чтобы определить одну из четырех взаимосвязей между передачей данных и последовательными часами (CPHA должен быть очищен в режиме NSSP). (Примечание: 2 - кроме случая, когда CRC включен в режиме TI).
 - c) Выберите симплексный или полудуплексный режим, настроив RXONLY или BIDIMODE и BIDIOE (RXONLY и BIDIMODE не могут быть установлены одновременно).
 - d) Настройте бит LSBFIRST для определения формата кадра (Примечание: 2).
 - e) Настройте биты CRCL и CRCEN, если требуется CRC (пока тактовый сигнал SCK находится в состоянии ожидания).
 - f) Настройте SSM и SSI (Примечания: 2 и 3).

г) Настройте бит MSTR (в конфигурации NSS с несколькими ведущими избегайте состояния конфликта на NSS, если ведущий настроен на предотвращение ошибки MODF).

3. Записать в регистр SPI_CR2:

а) Настройте биты DS[3:0] для выбора длины данных для передачи.

б) Настройте SSOE (Примечания: 1, 2 и 3).

с) Установите бит FRF, если требуется протокол TI (оставьте бит NSSP сброшенным в режиме TI).

д) Установите бит NSSP, если требуется импульсный режим NSS между двумя блоками данных (оставьте биты CHPA и TI очищенными в режиме NSSP).

е) Настройте бит FRXTH. Порог RXFIFO должен быть выровнен с размером доступа для чтения для регистра SPIx_DR.

ф) Инициализировать биты LDMA_TX и LDMA_RX, если DMA используется в упакованном режиме.

4. Запись в регистр SPI_CRCPDR: при необходимости настройте полином CRC.

5. Запишите соответствующие регистры DMA. Настройте потоки DMA, выделенные для SPI Tx и Rx, в регистрах DMA, если используются потоки DMA.

Примечание:

(1) Шаг не требуется в ведомом режиме.

(2) Шаг не требуется в режиме TI

(3) Шаг не требуется в режиме NSSP.

(4) Этот шаг не требуется в ведомом режиме, кроме ведомого, работающего в режиме TI.

37.5.8 Процедура включения SPI

Рекомендуется включить ведомое устройство SPI до того, как ведущее устройство отправит часы. В противном случае может произойти нежелательная передача данных. Регистр данных ведомого устройства должен уже содержать данные для отправки перед началом связи с ведущим устройством (либо по первому фронту коммуникационных часов, либо до окончания текущей связи, если тактовый сигнал непрерывен). Сигнал SCK должен быть установлен на уровне состояния ожидания, соответствующем выбранной полярности, прежде чем будет включено подчиненное устройство SPI.

Ведущий в полнодуплексном режиме (или в любом режиме только передачи) начинает обмениваться данными, когда SPI включен и TXFIFO не пуст, или при следующей записи в TXFIFO.

В любом режиме ведущего только для приема (RXONLY=1 или BIDIMODE=1 и BIDIOE=0) ведущее устройство начинает обмениваться данными, и часы начинают работать сразу после включения SPI.

Для работы с прямым доступом к памяти следуйте специальному разделу.

37.5.9 Процедуры передачи и приема данных RXFIFO и TXFIFO

Все транзакции данных SPI проходят через 32-битные встроенные FIFO. Это позволяет SPI работать в непрерывном потоке и предотвращает переполнения при небольшом размере кадра данных. Каждое направление имеет свой собственный FIFO, который называется TXFIFO и RXFIFO. Эти FIFO используются во всех режимах

SPI, за исключением режима только приемника (ведомого или ведущего) с включенным вычислением CRC (см. Раздел 37.5.14: Расчет CRC).

Обработка FIFO зависит от режима обмена данными (дуплексный, симплексный), формата кадра данных (количество битов в кадре), размера доступа, выполняемого к регистрам данных FIFO (8-битный или 16-битный), а также от того, упаковка данных используется при доступе к FIFO (см. Раздел 37.5.13: режим TI).

Доступ для чтения к регистру SPIx_DR возвращает самое старое значение, хранящееся в RXFIFO, которое еще не было прочитано. Доступ для записи к SPIx_DR сохраняет записанные данные в TXFIFO в конце очереди отправки. Доступ для чтения всегда должен быть выровнен с порогом RXFIFO, настроенным битом FRXTH в регистре SPIx_CR2. Биты FTLVL[1:0] и FRLVL[1:0] указывают текущий уровень занятости обоих FIFO.

Доступ для чтения к регистру SPIx_DR должен управляться событием RXNE. Это событие запускается, когда данные сохраняются в RXFIFO и достигается пороговое значение (определяемое битом FRXTH). Когда RXNE очищается, RXFIFO считается пустым. Аналогичным образом доступ для записи к передаваемому кадру данных управляется событием TXE. Это событие запускается, когда уровень TXFIFO меньше или равен половине его емкости. В противном случае TXE очищается, а TXFIFO считается заполненным. Таким образом, RXFIFO может хранить до четырех кадров данных, тогда как TXFIFO может хранить только до трех, если формат кадра данных не превышает 8 бит. Эта разница предотвращает возможное повреждение 3х 8-битных кадров данных, уже сохраненных в TXFIFO, когда программное обеспечение пытается записать в TXFIFO больше данных в 16-битном режиме. События TXE и RXNE могут быть опрошены или обработаны прерываниями. См. Рис. 356—Рис. 359.

Еще одним способом управления обменом данными является использование DMA (см. Связь с использованием DMA (прямая адресация памяти)).

Если следующие данные получены, когда RXFIFO заполнен, происходит событие переполнения (см. описание флага OVR в разделе 37.5.10: флаги состояния SPI). Событие переполнения может быть опрошено или обработано прерыванием.

Установленный бит BSY указывает на текущую транзакцию текущего кадра данных. Когда тактовый сигнал работает непрерывно, флаг BSY остается установленным между кадрами данных на ведущем, но становится низким в течение минимальной продолжительности одного такта SPI на ведомом между каждой передачей кадра данных.

Обработка последовательности

Несколько кадров данных могут быть переданы в одной последовательности для завершения сообщения. Когда передача разрешена, последовательность начинается и продолжается до тех пор, пока в TXFIFO мастера присутствуют какие-либо данные. Тактовый сигнал постоянно предоставляется мастером до тех пор, пока TXFIFO не станет пустым, после чего он прекращает ожидание дополнительных данных.

В режимах только приема, полудуплексном (BIDIMODE=1, BIDIOE=0) или симплексном (BIDIMODE=0, RXONLY=1) мастер запускает последовательность немедленно, когда включены оба SPI и режим только приема. Тактовый сигнал предоставляется мастером, и он не прекращается до тех пор, пока мастер не отключит либо SPI, либо режим только приема. Мастер непрерывно принимает кадры данных до этого момента.

Хотя ведущий может выполнять все транзакции в непрерывном режиме (сигнал SCK является непрерывным), он должен уважать способность подчиненного устройства обрабатывать поток данных и его содержимое в любое время. При необходимости мастер должен замедлить связь и предоставить либо более медленные часы, либо отдельные кадры или сеансы данных с достаточными задержками. Имейте в виду, что для ведущего или ведомого устройства в режиме SPI нет сигнала ошибки потери значимости, и данные от ведомого устройства всегда передаются и обрабатываются ведущим устройством, даже если ведомое устройство не может вовремя подготовить их правильно. Предпочтительно, чтобы ведомое устройство использовало DMA, особенно когда кадры данных короче, а скорость шины высока.

Каждая последовательность должна быть заключена в импульс NSS параллельно с системой с несколькими ведомыми устройствами, чтобы выбрать для связи только одно из ведомых устройств. В системе с одним ведомым устройством нет необходимости управлять ведомым устройством с помощью NSS, но зачастую здесь также лучше обеспечить импульс, чтобы синхронизировать ведомое устройство с началом каждой последовательности данных. NSS может управляться как программно, так и аппаратно (см. Раздел 37.5.5: Управление выводами Slave select (NSS)).

Когда бит BSY установлен, это означает текущую транзакцию кадра данных. Когда транзакция выделенного кадра завершена, поднимается флаг RXNE. Последний бит просто выбирается, а полный кадр данных сохраняется в RXFIFO.

Процедура отключения SPI

Когда SPI отключен, необходимо следовать процедурам отключения, описанным в этом параграфе. Важно сделать это до того, как система перейдет в режим пониженного энергопотребления, когда периферийные часы остановлены. В этом случае текущие транзакции могут быть повреждены. В некоторых режимах процедура отключения является единственным способом прекратить постоянную связь.

Мастер в полнодуплексном режиме или режиме только передачи может завершить любую транзакцию, когда он прекращает предоставление данных для передачи. В этом случае часы останавливаются после последней транзакции данных. Особое внимание следует уделить режиму упаковки, когда передается нечетное количество кадров данных, чтобы предотвратить фиктивный обмен байтами (см. раздел «Упаковка данных»). Перед отключением SPI в этих режимах пользователь должен выполнить стандартную процедуру отключения. Когда SPI отключен на ведущем передатчике, пока выполняется транзакция кадра или следующий кадр данных сохраняется в TXFIFO, поведение SPI не гарантируется.

Когда мастер находится в любом режиме только приема, единственный способ остановить непрерывные часы — это отключить периферийное устройство с помощью SPE=0. Это должно происходить в определенном временном окне в рамках последней транзакции кадра данных как раз между моментом выборки его первого бита и перед началом его передачи последнего бита (чтобы получить полное количество ожидаемых кадров данных и предотвратить любое дополнительное «фиктивное» чтение данных). после последнего действительного фрейма данных). При отключении SPI в этом режиме необходимо соблюдать особую процедуру.

Полученные, но не прочитанные данные сохраняются в RXFIFO, когда SPI отключен, и должны быть обработаны при следующем включении SPI перед запуском новой последовательности. Чтобы предотвратить наличие непрочитанных данных, убедитесь, что RXFIFO пуст при отключении SPI, используя правильную процедуру отключения или инициализируя все регистры SPI с программным сбросом посредством управления специальным регистром, предназначенным для периферийного сброса (см. биты SPIiRST в регистрах RCC_APBiRSTR).

Стандартная процедура отключения основана на получении статуса BSY вместе с FTLVL[1:0], чтобы проверить, полностью ли завершен сеанс передачи. Эту проверку можно делать и в специфических случаях, когда необходимо определить окончание текущих транзакций, например:

- Когда сигнал NSS управляется программным обеспечением, и ведущий должен предоставить надлежащее окончание импульса NSS для подчиненного устройства, или
- Когда потоки транзакций из DMA или FIFO завершаются, пока транзакция последнего кадра данных или кадра CRC все еще продолжается на периферийной шине.

Правильная процедура отключения (за исключением случаев, когда используется только режим приема):

1. Подождите, пока FTLVL[1:0] = 00 (нет больше данных для передачи).
2. Подождите, пока BSY=0 (последний фрейм данных будет обработан).
3. Отключить SPI (SPE=0).
4. Считывать данные до тех пор, пока FRLVL[1:0] = 00 (прочитать все полученные данные).

Правильная процедура отключения для определенных режимов только приема:

1. Прервите поток приема, отключив SPI (SPE=0) в определенном временном окне, пока продолжается последний кадр данных.
2. Подождите, пока BSY=0 (последний фрейм данных будет обработан).
3. Считывать данные до тех пор, пока FRLVL[1:0] = 00 (прочитать все полученные данные).

Примечание: Если используется режим упаковки и должно быть получено нечетное количество кадров данных с форматом, меньшим или равным 8 битам (умещающимся в один байт), FRXTH должен быть установлен, когда FRLVL[1:0] = 01, чтобы сгенерировать событие RXNE для чтения последнего нечетного фрейма данных и сохранить правильное выравнивание указателя FIFO.

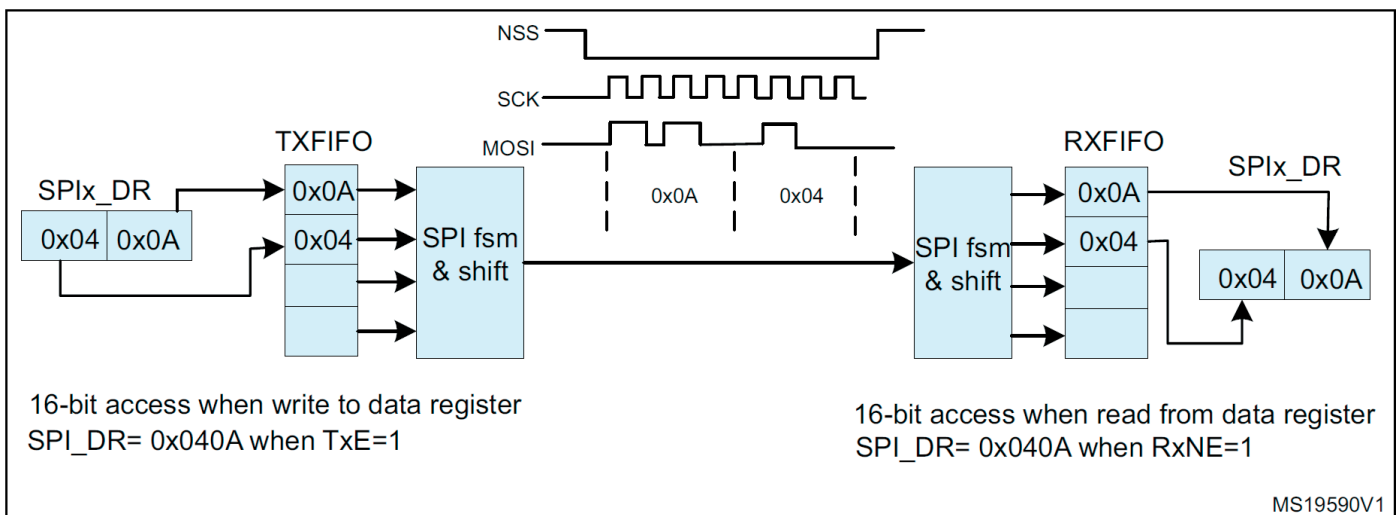
Упаковка данных

Когда размер кадра данных умещается в один байт (меньше или равен 8 битам), упаковка данных используется автоматически при любом доступе к 16-битному чтению или записи в регистре SPIx_DR. В этом случае шаблон двойного фрейма данных обрабатывается параллельно. Сначала SPI работает с шаблоном, хранящимся в младшем бите слова, к которому осуществляется доступ, а затем с другой половиной, хранящейся в старшем разряде. На рис. 355 показан пример обработки последовательности режима упаковки данных. Два кадра данных отправляются после единственного 16-битного доступа к регистру SPIx_DR передатчика. Эта последовательность может генерировать только одно событие RXNE в приемнике,

если пороговое значение RXFIFO установлено на 16 бит (FRXTH=0). Затем приемник должен получить доступ к обоим фреймам данных с помощью одного 16-битного чтения SPIx_DR в качестве ответа на это единственное событие RXNE. Пороговое значение RxFIFO и последующий доступ для чтения всегда должны быть согласованы на стороне получателя, так как данные могут быть потеряны, если они не совпадают.

Особая проблема возникает, если необходимо обработать нечетное количество таких «умещающихся в один байт» кадров данных. На стороне передатчика достаточно записи последнего кадра данных любой нечетной последовательности с 8-битным доступом к SPIx_DR. Получатель должен изменить пороговый уровень Rx_FIFO для последнего кадра данных, полученного в нечетной последовательности кадров, чтобы сгенерировать событие RXNE.

Рисунок 355. Упаковка данных в FIFO для передачи и приема



^{1.} В этом примере: Размер данных DS[3:0] настроен на 4 бита, CPOL=0, CPHA=1 и LSBFIRST=0. Хранилище данных всегда выровнено по правому краю, в то время как действительные биты выполняются только на шине, содержимое байта LSB идет первым на шине, неиспользуемые биты не учитываются на стороне передатчика и дополняются нулями на стороне приемника.

Связь с использованием DMA (прямая адресация памяти)

Для работы на максимальной скорости и облегчения процесса чтения/записи регистра данных, необходимого для предотвращения переполнения, SPI поддерживает функцию прямого доступа к памяти, реализующую простой протокол запроса/подтверждения.

Доступ к DMA запрашивается, когда бит разрешения TXE или RXNE в регистре SPIx_CR2 установлен. К буферам Tx и Rx должны быть отправлены отдельные запросы.

- При передаче запрос DMA выдается каждый раз, когда TXE устанавливается в 1. Затем DMA записывает в регистр SPIx_DR.

- При приеме запрос DMA выдается каждый раз, когда RXNE устанавливается в 1. Затем DMA считывает регистр SPIx_DR.

См. Рис. 356—Рис. 359.

Когда SPI используется только для передачи данных, можно включить только канал SPI Tx DMA. В этом случае устанавливается флаг OVR, так как полученные данные не читаются. Когда SPI используется только для приема данных, можно включить только канал SPI Rx DMA.

В режиме передачи, когда DMA записал все данные для передачи (флаг TCIF установлен в регистре DMA_ISR), можно контролировать флаг BSY, чтобы убедиться, что связь SPI завершена. Это необходимо, чтобы не повредить последнюю передачу перед отключением SPI или переходом в режим остановки. Программное обеспечение должно сначала дождаться, пока FTLVL[1:0]=00, а затем пока BSY=0.

При запуске связи с использованием прямого доступа к памяти, чтобы предотвратить возникновение ошибок управления каналом прямого доступа к памяти, необходимо выполнить следующие шаги в следующем порядке:

1. Включите буфер DMA Rx в бите RXDMAEN в регистре SPI_CR2, если используется DMA Rx.
2. Включите потоки DMA для Tx и Rx в регистрах DMA, если потоки используются.
3. Включите буфер DMA Tx в бите TXDMAEN в регистре SPI_CR2, если используется DMA Tx.
4. Включите SPI, установив бит SPE.

Чтобы закрыть связь, необходимо выполнить следующие шаги в следующем порядке:

1. Отключите потоки DMA для Tx и Rx в регистрах DMA, если потоки используются.
2. Отключите SPI, выполнив процедуру отключения SPI.
3. Отключите буферы DMA Tx и Rx, очистив биты TXDMAEN и RXDMAEN в регистре SPI_CR2, если используются DMA Tx и/или DMA Rx.

Упаковка с DMA

Если передача управляется DMA (TXDMAEN и RXDMAEN устанавливаются в регистре SPIx_CR2), режим упаковки включается/отключается автоматически в зависимости от значения PSIZE, настроенного для SPI TX и канала SPI RX DMA. Если значение PSIZE канала DMA равно 16 битам, а размер данных SPI меньше или равен 8 битам, то включается режим упаковки. Затем DMA автоматически управляет операциями записи в регистр SPIx_DR.

Если используется режим упаковки данных и количество передаваемых данных не кратно двум, необходимо установить биты LDMA_TX/LDMA_RX. Затем SPI рассматривает только одни данные для передачи или приема для обслуживания последней передачи DMA (более подробную информацию см. в разделе «Упаковка данных» на стр. 1271).

Диаграммы связи

В этом разделе объясняются некоторые типичные схемы синхронизации. Эти схемы действительно независимо от того, обрабатываются ли события SPI опросом, прерываниями или прямым доступом к памяти. Для простоты в качестве общего предположения здесь используются настройки LSBFIRST=0, CPOL=0 и CRHA=1. Полная конфигурация потоков DMA не предоставляется.

Следующие пронумерованные примечания являются общими для Рисунка 356 на странице 1275 до Рисунка 359 на странице 1278:

1. Подчиненный начинает управлять линией MISO, так как NSS активен и SPI включен, и отключается от линии, когда один из них освобождается. Подчиненному устройству должно быть предоставлено достаточно времени для подготовки данных, предназначенных для ведущего устройства, до начала его транзакции.

На ведущем устройстве периферийное устройство SPI берет на себя управление по сигналам MOSI и SCK (иногда также по сигналу NSS), только если вклю-

чен SPI. Если SPI отключен, периферийное устройство SPI отключается от логики GPIO, поэтому уровни на этих линиях зависят исключительно от настройки GPIO.

2. На ведущем устройстве BSY остается активным между кадрами, если связь (тактовый сигнал) непрерывна. На ведомом устройстве сигнал BSY всегда снижается по крайней мере на один такт между кадрами данных.

3. Сигнал TXE очищается, только если TXFIFO заполнен.

4. Процесс арбитража DMA начинается сразу после установки бита TXDMAEN. Прерывание TXE генерируется сразу после установки TXEIE. Поскольку сигнал TXE находится на активном уровне, передача данных в TxFIFO начинается до тех пор, пока TxFIFO не заполнится или не завершится передача DMA.

5. Если все отправляемые данные могут уместиться в TxFIFO, флаг DMA TxTCIF может быть поднят еще до начала обмена данными по шине SPI. Этот флаг всегда поднимается перед завершением транзакции SPI.

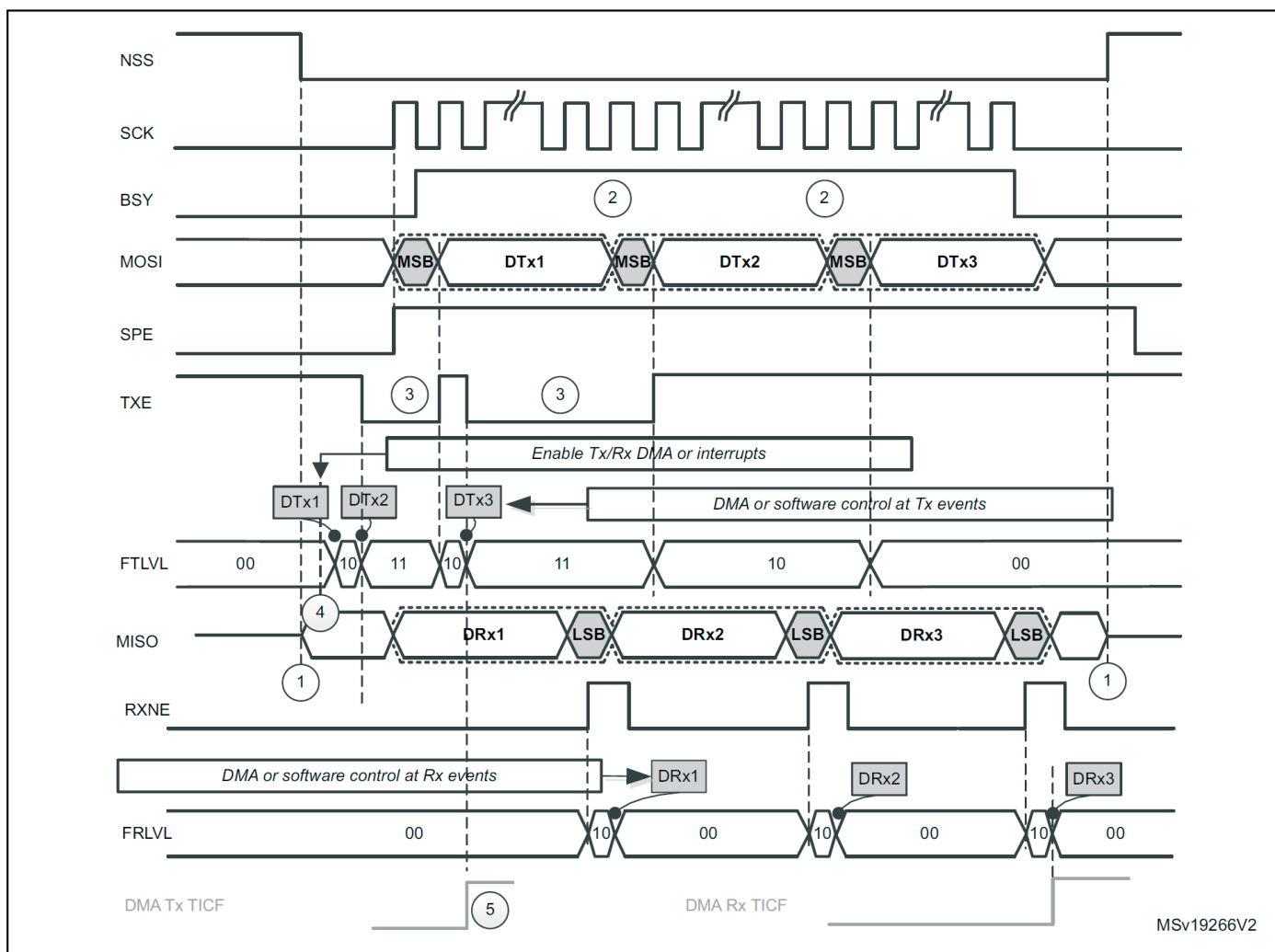
6. Значение CRC для пакета вычисляется непрерывно кадр за кадром в регистрах SPIx_TXCRCR и SPIx_RXCRCR. Информация CRC обрабатывается после того, как весь пакет данных завершен, либо автоматически с помощью DMA (канал Tx должен быть установлен на количество обрабатываемых кадров данных), либо с помощью SW (пользователь должен обрабатывать бит CRCNEXT во время обработки последнего кадра данных).

В то время как значение CRC, вычисленное в SPIx_TXCRCR, просто отправляется передатчиком, полученная информация CRC загружается в RxFIFO, а затем сравнивается с содержимым регистра SPIx_RXCRCR (здесь может быть поднят флаг ошибки CRC, если есть какие-либо различия). Вот почему пользователь должен позаботиться о том, чтобы сбросить эту информацию из FIFO либо с помощью программного обеспечения, считывающего все сохраненное содержимое RxFIFO, либо с помощью прямого доступа к памяти, когда для канала Rx задано правильное количество кадров данных (количество кадров данных + количество кадров CRC) (см. настройки в предположении примера).

7. В режиме упаковки данных события TxE и RxNE объединяются, и каждый доступ для чтения/записи к FIFO имеет ширину 16 бит, пока количество кадров данных не станет четным. Если TxFIFO не заполнен, состояние FTLVL остается на уровне заполнения FIFO. Вот почему последний нечетный фрейм данных не может быть сохранен до того, как TxFIFO заполнится на . Этот кадр сохраняется в TxFIFO с 8-битным доступом либо программным обеспечением, либо автоматически DMA, когда установлено управление LDMA_TX.

8. Чтобы получить последний нечетный фрейм данных в упакованном режиме, порог Rx должен быть изменен на 8-битный, когда обрабатывается последний фрейм данных, либо с помощью программной установки FRXTH=1, либо автоматически с помощью внутреннего сигнала DMA при установке LDMA_RX.

Рис. 356. Мастер полнодуплексная связь

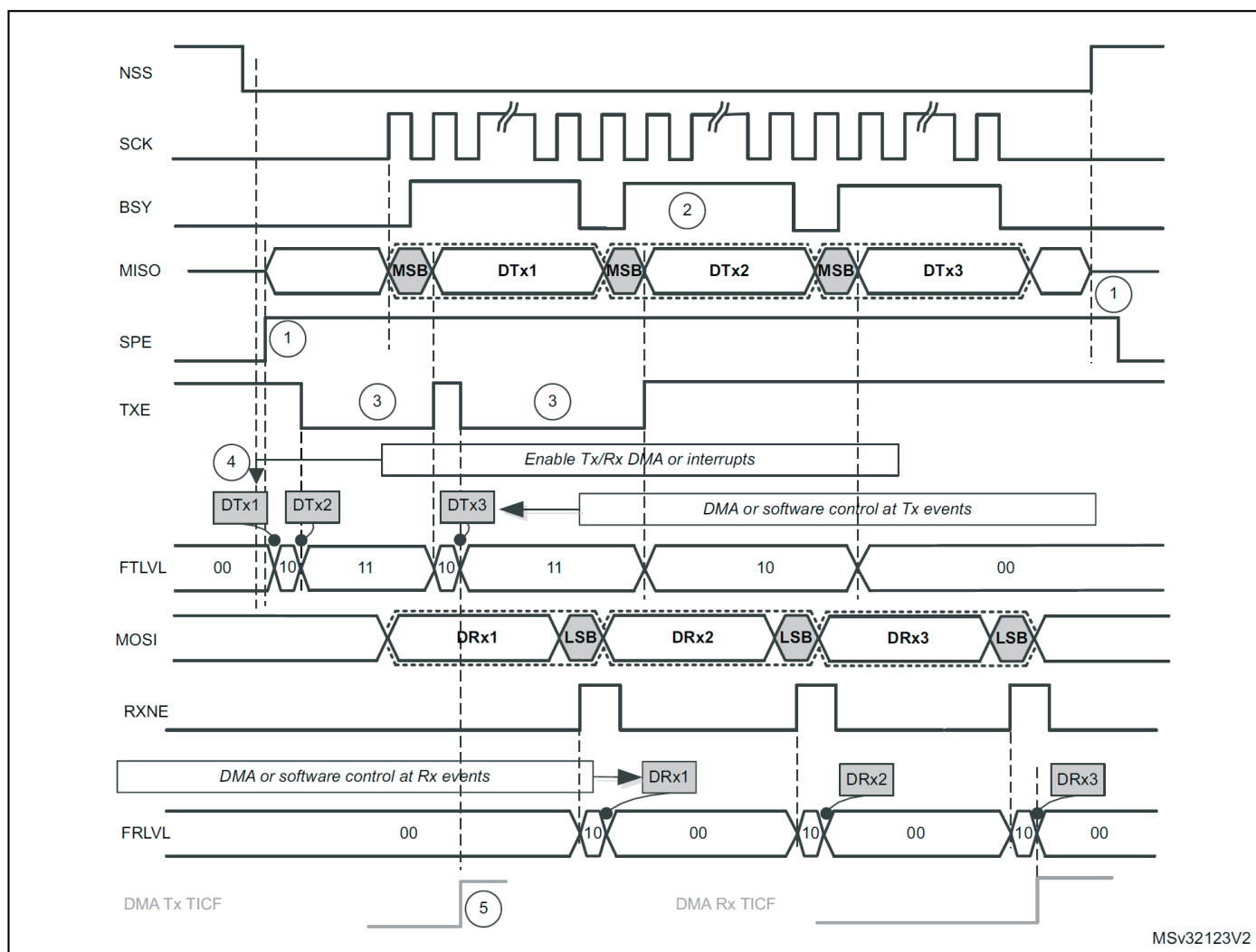


Допущения для основного примера полнодуплексной связи:

- Размер данных > 8 бит. Если используется DMA:
- Количество кадров Tx, переданных DMA, установлено на 3.
- Количество кадров Rx, переданных DMA, установлено на 3.

См. также: Диаграммы связи на стр. 1274 для получения подробной информации об общих предположениях и примечаниях.

Рисунок 357. Ведомый полнодуплексный обмен данными



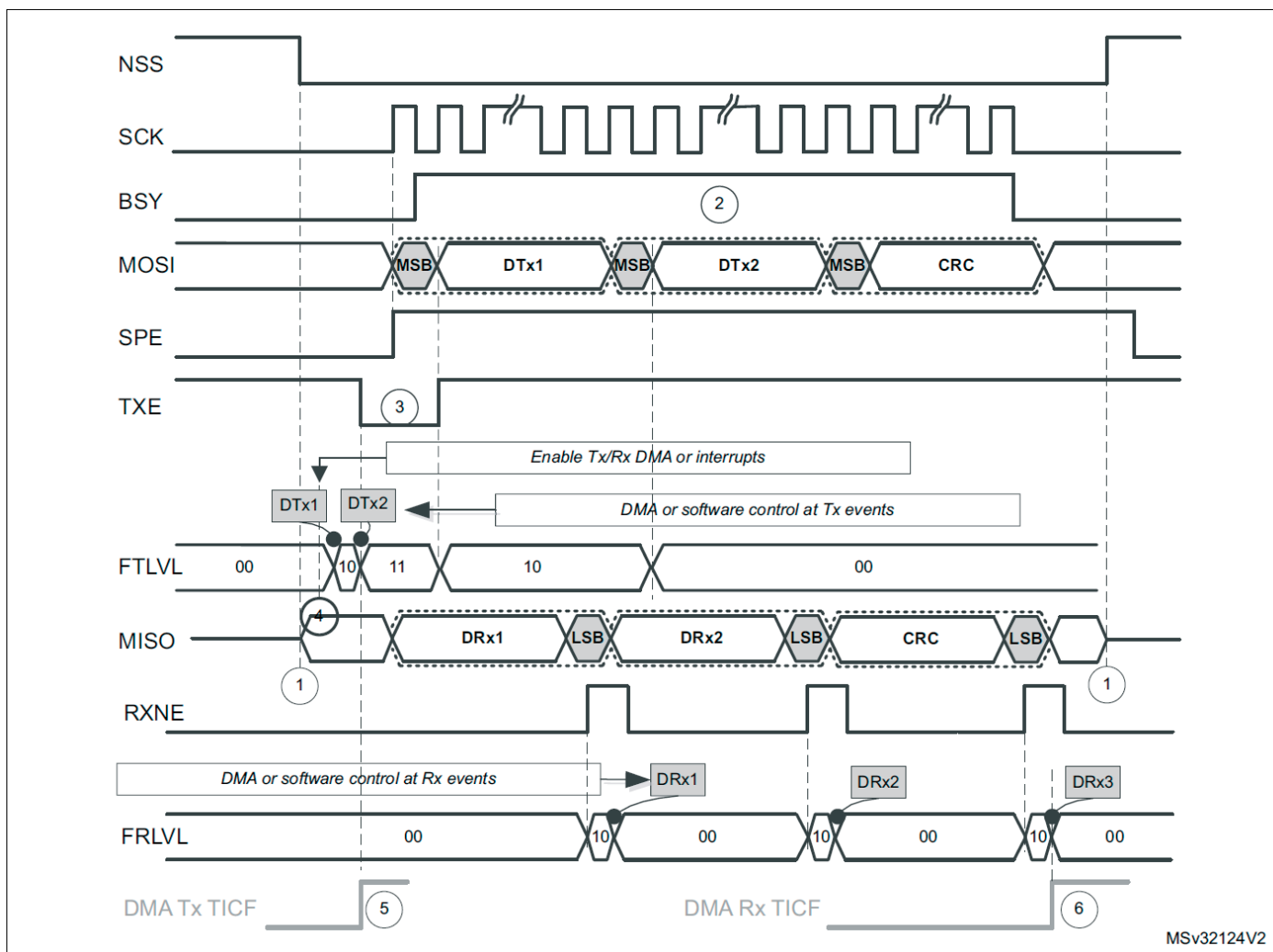
MSv32123V2

Допущения для примера полнодуплексной связи ведомого устройства:

- Размер данных > 8 бит. Если используется DMA:
- Количество кадров Tx, переданных DMA, установлено на 3.
- Количество кадров Rx, переданных DMA, установлено на 3.

См. также: Диаграммы связи на стр. 1274 для получения подробной информации об общих предположениях и примечаниях.

Рис. 358. Мастер полнодуплексный обмен данными с CRC



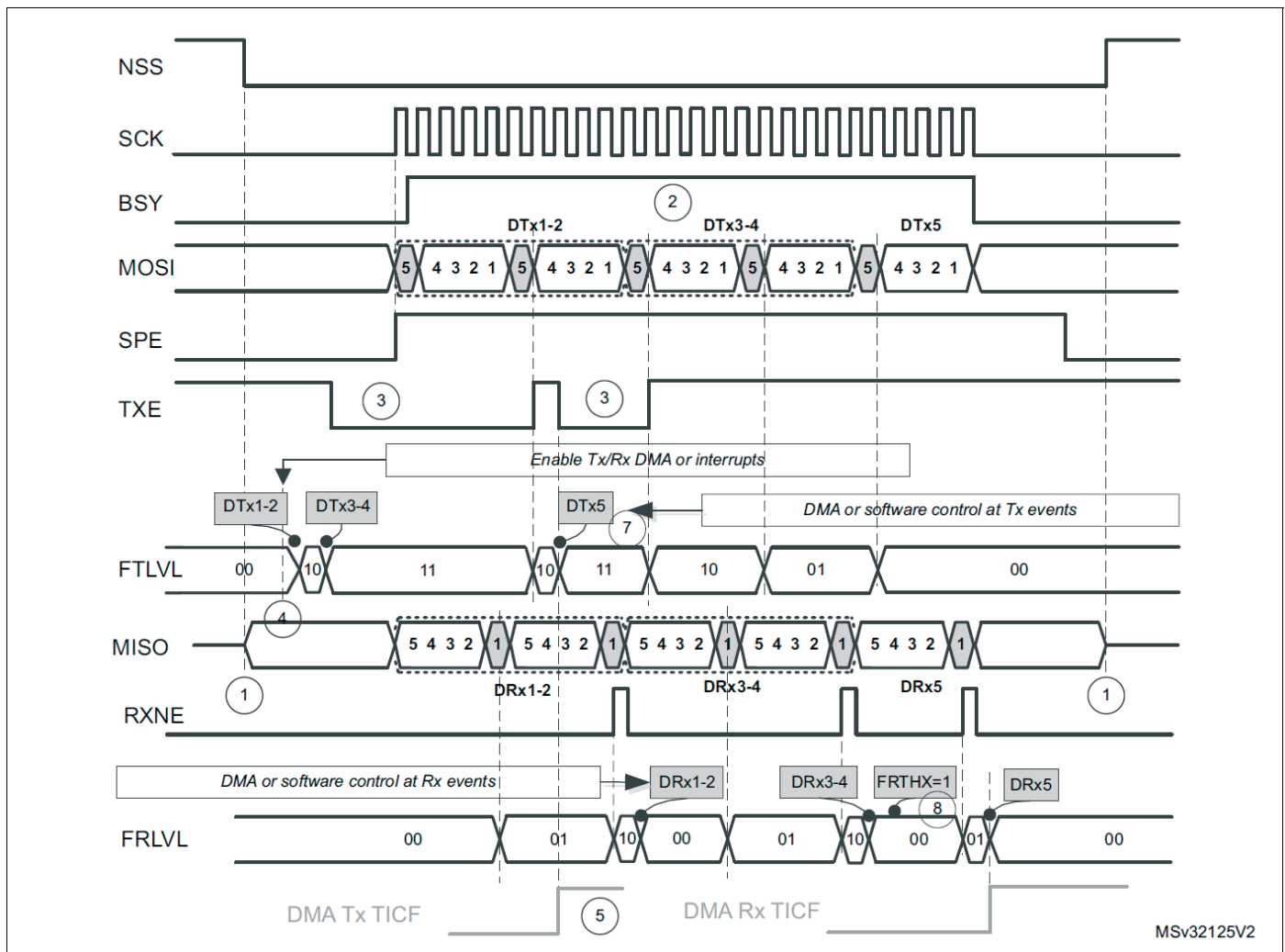
MSv32124V2

Допущения для ведущего полнодуплексного обмена данными с примером CRC:

- Размер данных = 16 бит
- Включена CRC
- Если используется DMA:
 - Количество кадров Tx, переданных DMA, установлено на 2.
 - Количество кадров Rx, переданных DMA, установлено на 3.

См. также: Диаграммы связи на стр. 1274 для получения подробной информации об общих предположениях и примечаниях.

Рис. 359. Мастер полнодуплексной связи в пакетном режиме



MSv32125V2

Допущения для ведущего полнодуплексного обмена данными в пакетном режиме:

- Размер данных = 5 бит
- Чтение/запись FIFO выполняется в основном 16-битным доступом
- FRXTH=0 Если используется DMA:
- Количество кадров Tx, которые должны быть переданы DMA, установлено на 3.
- Количество кадров Rx для транзакций по DMA установлено на 3
- PSIZE для каналов Tx и Rx DMA установлен на 16-бит.
- LDMA_TX=1 и LDMA_RX=1

См. также: Диаграммы связи на стр. 1274 для получения подробной информации об общих предположениях и примечаниях.

37.5.10 Флаги состояния SPI

Приложение предоставляет три флага состояния для полного контроля состояния шины SPI.

Tx buffer empty flag (TXE) (Флаг пустого буфера Tx (TXE))

Флаг TXE устанавливается, когда в TXFIFO передачи достаточно места для хранения данных для отправки. Флаг TXE связан с уровнем TXFIFO. Флаг становится высоким и остается высоким до тех пор, пока уровень TXFIFO не станет ниже или равен 1/2 глубины FIFO. Прерывание может быть сгенерировано, если установлен бит TXEIE в регистре SPIx_CR2. Бит очищается автоматически, когда уровень TXFIFO становится больше 1/2.

Rx buffer not empty (RXNE) (Буфер Rx не пуст (RXNE))

Флаг RXNE устанавливается в зависимости от значения бита FRXTH в регистре SPIx_CR2:

- Если установлен FRXTH, RXNE становится высоким и остается высоким до тех пор, пока уровень RXFIFO не станет больше или равен 1/4 (8 бит).
- Если FRXTH очищен, RXNE становится высоким и остается высоким до тех пор, пока уровень RXFIFO не станет больше или равен 1/2 (16 бит).

Прерывание может быть сгенерировано, если установлен бит RXNEIE в регистре SPIx_CR2.

RXNE очищается аппаратно автоматически, когда вышеуказанные условия больше не выполняются.

Busy flag (BSY) (Флаг занятости (BSY))

Флаг BSY устанавливается и сбрасывается аппаратно (запись в этот флаг не действует).

Когда BSY установлен, это указывает на то, что идет передача данных по SPI (шина SPI занята).

Флаг BSY может использоваться в определенных режимах для обнаружения окончания передачи, чтобы программное обеспечение могло отключить SPI или его периферийные часы перед переходом в режим с низким энергопотреблением, который не обеспечивает часы для периферийного устройства. Это позволяет избежать повреждения последней передачи.

Флаг BSY также полезен для предотвращения коллизий записи в системе с несколькими мастерами.

Флаг BSY очищается при любом из следующих условий:

- Когда SPI правильно отключен
- При обнаружении неисправности в ведущем режиме (бит MODF установлен на 1)
- В ведущем режиме, когда он завершает передачу данных и новые данные не готовы к отправке.
- В ведомом режиме, когда флаг BSY установлен на «0» в течение как минимум одного тактового цикла SPI между каждой передачей данных.

Примечание. Когда следующая передача может быть немедленно обработана ведущим устройством (например, если главное устройство находится в режиме «только прием» или его буфер передачи не пуст), обмен данными непрерывен, а флаг BSY остается установленным на «1» между передачами на стороне хозяина. Хотя это не относится к ведомому устройству, рекомендуется всегда использовать флаги TXE и RXNE (вместо флагов BSY) для обработки операций передачи или приема данных.

37.5.11 Флаги ошибок SPI

Прерывание SPI генерируется, если установлен один из следующих флагов ошибки и прерывание разрешено установкой бита ERRIE.

Overrun flag (OVR) (Флаг переполнения (OVR))

Состояние переполнения возникает, когда данные получены ведущим или ведомым устройством, а в RXFIFO недостаточно места для хранения полученных данных. Это может произойти, если у программного обеспечения или DMA не было достаточно времени для чтения ранее полученных данных (хранящихся в RXFIFO) или когда место для хранения данных ограничено, например, RXFIFO недоступен, когда CRC включен в режиме только приема, поэтому в этом случае буфер приема ограничен одним буфером кадра данных (см. Раздел 37.5.14: Расчет CRC).

Когда происходит переполнение, новое полученное значение не перезаписывает предыдущее в RXFIFO. Вновь полученное значение отбрасывается, и все данные, переданные впоследствии, теряются. Очистка бита OVR выполняется доступом для чтения к регистру SPI_DR, за которым следует доступ для чтения к регистру SPI_SR.

Mode fault (MODF) (Ошибка режима (MODF))

Ошибка режима возникает, когда внутренний сигнал NSS ведущего устройства (вывод NSS в аппаратном режиме NSS или бит SSI в программном режиме NSS) становится низким. Это автоматически устанавливает бит MODF. Сбой в режиме Master влияет на интерфейс SPI следующим образом:

- Устанавливается бит MODF и генерируется прерывание SPI, если установлен бит ERRIE.
- Бит SPE очищается. Это блокирует все выходные данные устройства и отключает интерфейс SPI.
- Бит MSTR сбрасывается, что переводит устройство в ведомый режим.

Используйте следующую программную последовательность для очистки бита MODF: 1. Сделайте доступ для чтения или записи к регистру SPIx_SR, когда бит MODF установлен. Затем запишите в регистр SPIx_CR1.

Чтобы избежать любых конфликтов нескольких ведомых устройств в системе, состоящей из нескольких MCU, на выводе NSS должен быть установлен высокий уровень во время последовательности очистки бита MODF. Биты SPE и MSTR могут быть восстановлены в исходное состояние после этой последовательности очистки. В целях безопасности аппаратное обеспечение не позволяет устанавливать биты SPE и MSTR, пока установлен бит MODF. В ведомом устройстве бит MODF не может быть установлен, кроме как в результате предыдущего конфликта между несколькими ведущими.

CRC error (CRCERR) (Ошибка CRC (CRCERR))

Этот флаг используется для проверки достоверности полученного значения, когда установлен бит CRCEN в регистре SPIx_CR1. Флаг CRCERR в регистре SPIx_SR устанавливается, если значение, полученное в сдвиговом регистре, не совпадает со значением SPIx_RXCRCR приемника. Флаг очищается программным обеспечением.

TI mode frame format error (FRE) (Ошибка формата кадра режима TI (FRE))

Ошибка формата кадра режима TI обнаруживается, когда импульс NSS возникает во время текущей связи, когда SPI работает в ведомом режиме и настроен

на соответствие протоколу режима TI. При возникновении этой ошибки в регистре SPIx_SR устанавливается флаг FRE. SPI не отключается при возникновении ошибки, импульс NSS игнорируется, и SPI ожидает следующего импульса NSS перед началом новой передачи. Данные могут быть повреждены, так как обнаружение ошибки может привести к потере двух байтов данных.

Флаг FRE очищается при чтении регистра SPIx_SR. Если установлен бит ERRIE, генерируется прерывание при обнаружении ошибки NSS. В этом случае SPI должен быть отключен, поскольку согласованность данных больше не гарантируется, и связь должна быть повторно инициирована ведущим, когда подчиненный SPI снова будет включен.

