

## 28 Таймер малой мощности (LPTIM)

### 28.1 Введение

LPTIM — это 16-разрядный таймер, в котором используются последние достижения в области снижения энергопотребления. Благодаря разнообразию источников синхронизации LPTIM может продолжать работать во всех режимах питания, кроме режима ожидания. Учитывая его способность работать даже без внутреннего источника синхронизации, LPTIM можно использовать в качестве «счетчика импульсов», который может быть полезен в некоторых приложениях. Кроме того, возможность LPTIM пробуждать систему из режимов с низким энергопотреблением позволяет реализовать «функции тайм-аута» с чрезвычайно низким энергопотреблением.

LPTIM представляет собой гибкую схему синхронизации, которая обеспечивает необходимые функции и производительность при минимальном энергопотреблении.

### 28.2 Основные характеристики LPTIM

- 16-битный верхний регистр
- 3-битный прескалер с 8 возможными коэффициентами деления (1,2,4,8,16,32,64,128)
- Выбираемые часы
  - Внутренние источники синхронизации: настраиваемый внутренний источник синхронизации (см. раздел RCC)
  - Внешний источник тактовой частоты через вход LPTIM (работает при выключенном генераторе LP, используется приложением счетчика импульсов)
- 16-битный регистр автоперезагрузки ARR
- 16-битный регистр сравнения
- Непрерывный/покадровый режим
- Выбираемый программный/аппаратный входной триггер
- Программируемый цифровой фильтр помех
- Настраиваемый выход: Импульсный, ШИМ
- Настраиваемая полярность ввода/вывода
- Режим энкодера
- Счетчик повторений

### 28.3 Реализация LPTIM

Таблица 189 описывает реализацию LPTIM на устройствах STM32WL5x. Полный набор возможностей реализован в LPTIM1. LPTIM2 и LPTIM3 поддерживают меньший набор функций, но в остальном идентичны LPTIM1.

Табл. 189. Возможности STM32WL5x LPTIM

LPTIM modes/features(1)	LPTIM1	LPTIM2	LPTIM3
Encoder mode	X	-	-
External input clock	X	X	X
Wakeup from Stop	(2)	(3)	(3)

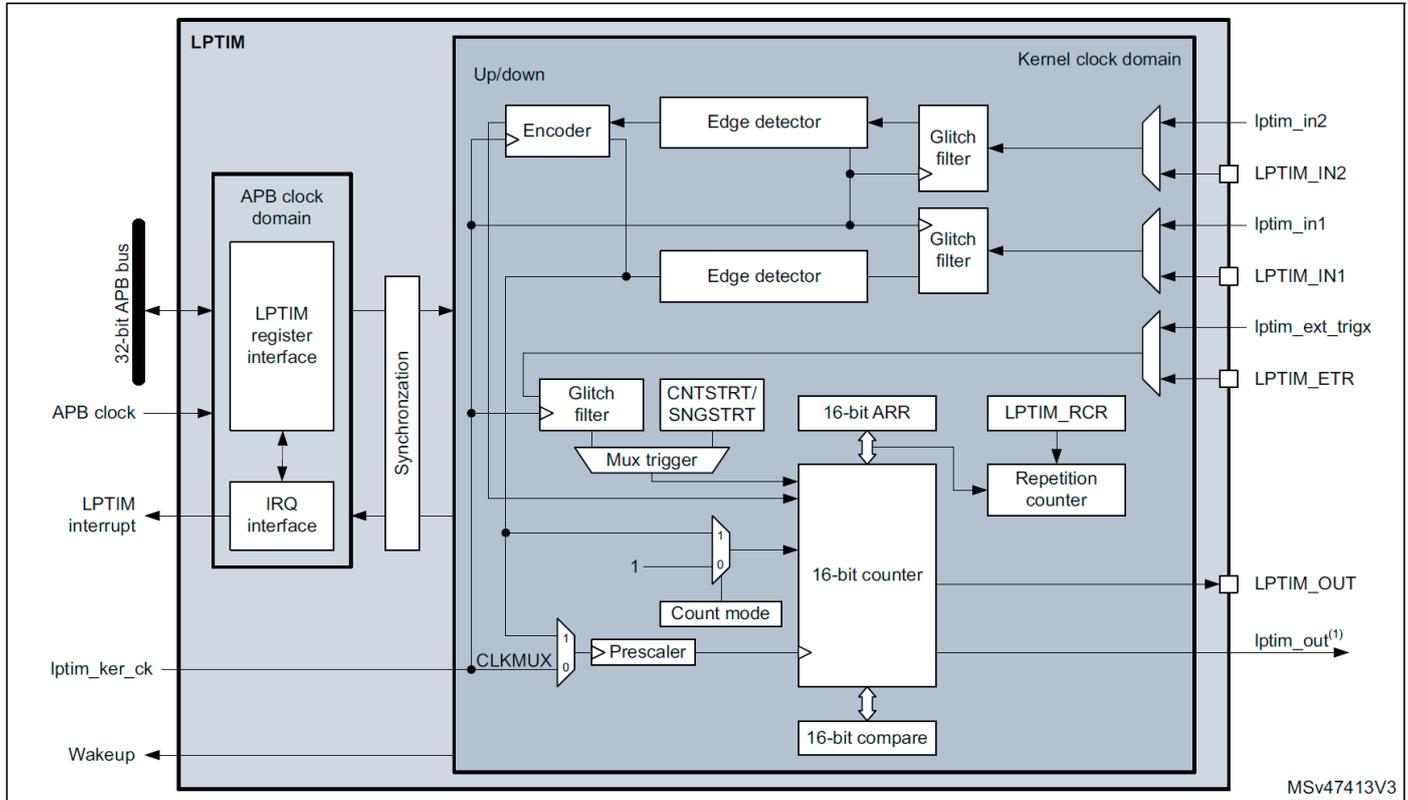
1. X = поддерживается.

2. Пробуждение поддерживается из режимов Stop 0, Stop 1 и Stop 2.
3. Пробуждение поддерживается из режимов Stop 0 и Stop 1.

## 28.4 Функциональное описание LPTIM

### 28.4.1 Блок-схема LPTIM

Рисунок 261. Блок-схема таймера малой мощности<sup>(a)</sup>



<sup>1</sup>. lptim\_out — это внутренний выходной сигнал LPTIM, который можно подключить к внутренним периферийным устройствам.

<sup>a</sup>. LPTIM2/LPTIM3 имеет только входной канал 1, без входного канала 2.

### 28.4.2 Контакты LPTIM и внутренние сигналы

В следующих таблицах представлен список контактов LPTIM и внутренних сигналов соответственно.

Табл. 190. Контакты ввода/вывода LPTIM

Наименование	Тип сигнала	Описание
LPTIM_IN1	Цифровой вход	LPTIM Вход 1 от контакта GPIO
LPTIM_IN2	Цифровой вход	LPTIM Вход 2 от контакта GPIO
LPTIM_ETR	Цифровой вход	Контакт GPIO внешнего триггера LPTIM
LPTIM_OUT	Цифровой выход	LPTIM Выходной контакт GPIO

Табл. 191. Внутренние сигналы LPTIM

Наименование	Тип сигнала	Описание
lptim_pclk	Цифровой вход	Домен часов LPTIM APB
lptim_ker_ck	Цифровой вход	Часы ядра LPTIM

lptim_in1	Цифровой вход	Внутренний вход LPTIM 1
lptim_in2	Цифровой вход	Внутренний вход LPTIM 2 <sup>(1)</sup>
lptim_ext_trigx	Цифровой вход	Вход внешнего триггера LPTIM x
lptim_out	Цифровой выход	Выход счетчика LPTIM
lptim_it	Цифровой выход	Глобальное прерывание LPTIM
lptim_wakeup	Цифровой выход	Событие пробуждения LPTIM

<sup>1</sup>. Применяется только к LPTIM1

### 28.4.3 Отображение триггера LPTIM

Соединения внешних триггеров LPTIM подробно описаны ниже:

*Табл. 192. Подключение внешнего триггера LPTIM1*

TRIGSEL	External trigger
lptim_ext_trig0	GPIO pin as LPTIM1_ETR alternate function
lptim_ext_trig1	RTC ALARM A
lptim_ext_trig2	RTC ALARM B
lptim_ext_trig3	TAMP1 input detection
lptim_ext_trig4	TAMP2 input detection
lptim_ext_trig5	TAMP3 input detection
lptim_ext_trig6	COMP1_OUT
lptim_ext_trig7	COMP2_OUT

*Табл. 193. Подключение внешнего триггера LPTIM2*

TRIGSEL	External trigger
lptim_ext_trig0	GPIO pin as LPTIM2_ETR alternate function
lptim_ext_trig1	RTC ALARM A
lptim_ext_trig2	RTC ALARM B
lptim_ext_trig3	TAMP1 input detection
lptim_ext_trig4	TAMP2 input detection
lptim_ext_trig5	TAMP3 input detection
lptim_ext_trig6	COMP1_OUT
lptim_ext_trig7	COMP2_OUT

*Табл. 194. Подключение внешнего триггера LPTIM3*

TRIGSEL	External trigger
lptim_ext_trig0	GPIO pin as LPTIM3_ETR alternate function
lptim_ext_trig1	LPTIM1_OUT
lptim_ext_trig2	LPTIM2_OUT
lptim_ext_trig3	
lptim_ext_trig4	
lptim_ext_trig5	
lptim_ext_trig6	
lptim_ext_trig7	

Табл. 195. Подключение входа 1 LPTIM1

<b>lptim_in1</b>	<b>Вход 1 LPTIM1 подключен к</b>
lptim_in1	Выход GPIO как альтернативная функция LPTIM1_IN1
lptim_in1	COMP1_OUT

Табл. 196. Подключение входа 2 LPTIM1

<b>lptim_in2</b>	<b>Вход 2 LPTIM1 подключен к</b>
lptim_in2	Выход GPIO как альтернативная функция LPTIM1_IN2
lptim_in2	COMP2_OUT

Табл. 197. Подключение LPTIM2, вход 1

<b>lptim_in1</b>	<b>Вход 1 LPTIM2 подключен к</b>
lptim_in1	Выход GPIO как альтернативная функция LPTIM2_IN1
lptim_in1	COMP1_OUT
lptim_in1	COMP2_OUT
lptim_in1	COMP1_OUT или COMP2_OUT

Табл. 198. Подключение LPTIM3, вход 1

<b>lptim_in1</b>	<b>Вход LPTIM3 1 подключен к</b>
lptim_in1	Выход GPIO как альтернативная функция LPTIM3_IN1
lptim_in1	COMP1_OUT
lptim_in1	COMP2_OUT
lptim_in1	COMP1_OUT или COMP2_OUT

#### 28.4.4 Сброс LPTIM и часы

LPTIM может синхронизироваться с использованием нескольких источников синхронизации. Он может синхронизироваться с использованием внутреннего тактового сигнала, который может быть любым настраиваемым внутренним источником тактового сигнала, выбираемым через RCC (подробности см. в разделе RCC). Кроме того, LPTIM может синхронизироваться с помощью внешнего тактового сигнала, подаваемого на его внешний вход Input1. При синхронизации с внешним источником синхронизации LPTIM может работать в одной из следующих двух возможных конфигураций:

- Первая конфигурация – это когда LPTIM тактируется внешним сигналом, но в то же время внутренний тактовый сигнал подается на LPTIM из конфигурируемого внутреннего источника тактового сигнала (см. раздел RCC).
- Вторая конфигурация – это когда LPTIM синхронизируется исключительно внешним источником синхронизации через свой внешний вход Input1. Эта конфигурация используется для реализации функции тайм-аута или функции счетчика импульсов, когда все встроенные генераторы отключаются после перехода в режим пониженного энергопотребления.

Программирование битов CKSEL и COUNTMODE позволяет контролировать, использует ли LPTIM внешний или внутренний источник синхронизации.

При настройке на использование внешнего источника тактового сигнала биты СКРОЛ используются для выбора активного фронта внешнего тактового сигнала. Если оба фронта сконфигурированы как активные, также должен быть обеспечен внутренний тактовый сигнал (первая конфигурация). При этом частота внутреннего тактового сигнала должна быть как минимум в четыре раза выше частоты внешнего тактового сигнала.

### 28.4.5 Фильтр помех

Входы LPTIM, как внешние (сопоставленные с GPIO), так и внутренние (сопоставленные на уровне микросхемы с другими встроенными периферийными устройствами), защищены цифровыми фильтрами, которые предотвращают распространение любых сбоев и помех внутри LPTIM. Это делается для того, чтобы предотвратить ложные подсчеты или триггеры.

Прежде чем активировать цифровые фильтры, необходимо сначала предоставить внутренний источник синхронизации для LPTIM. Это необходимо для обеспечения правильной работы фильтров.

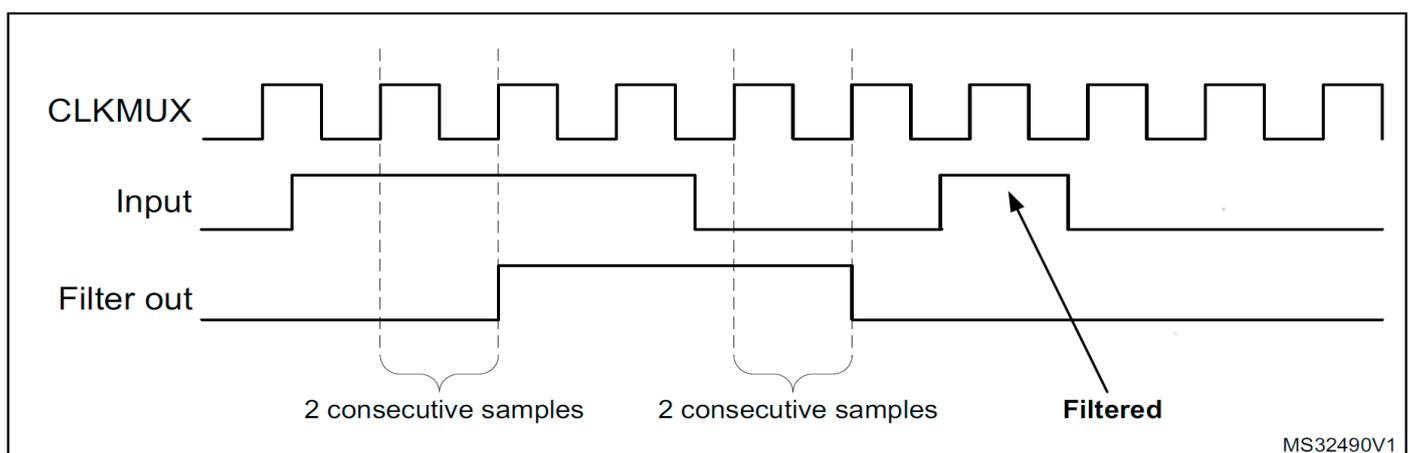
Цифровые фильтры делятся на две группы:

- Первая группа цифровых фильтров защищает внутренние или внешние входы LPTIM. Чувствительность цифровых фильтров управляется битами СКFLT.
- Вторая группа цифровых фильтров защищает внутренние или внешние триггерные входы LPTIM. Чувствительность цифровых фильтров управляется битами TRGFLT.

**Примечание.** Чувствительность цифровых фильтров регулируется группами. Невозможно настроить чувствительность каждого цифрового фильтра отдельно внутри одной и той же группы.

Чувствительность фильтра зависит от количества последовательных одинаковых выборок, которые должны быть обнаружены на одном из входов LPTIM, чтобы считать изменение уровня сигнала действительным переходом. На рис. 262 показан пример поведения фильтра сбоев в случае 2 запрограммированных последовательных сэмплов.

Рисунок 262. Временная диаграмма фильтра сбоев



**Примечание.** В случае отсутствия внутреннего тактового сигнала цифровой фильтр необходимо деактивировать, установив биты СКFLT и TRGFLT в «0». В этом случае можно использовать внешний аналоговый фильтр для защиты внешних входов LPTIM от помех.

### 28.4.6 Предварительный делитель

16-битному счетчику LPTIM предшествует настраиваемый предварительный делитель степени 2. Коэффициент деления предварительного делителя управляется 3-битным полем PRESC[2:0]. В таблице ниже перечислены все возможные коэффициенты деления:

Таблица 199. Коэффициенты деления предварительного делителя

PRESC[2:0]	Коэффициенты деления
000	/1
001	/2
010	/4
011	/8
100	/16
101	/32
110	/64
111	/128

### 28.4.7 Триггерный мультиплексор

Счетчик LPTIM может быть запущен либо программно, либо после обнаружения активного фронта на одном из 8 триггерных входов.

TRIGEN[1:0] используется для определения источника триггера LPTIM:

- Когда TRIGEN[1:0] равен «00», счетчик LPTIM запускается, как только программно устанавливается один из битов CNTSTRT или SNGSTRT. Три оставшихся возможных значения для TRIGEN[1:0] используются для настройки активного фронта, используемого триггерными входами. Счетчик LPTIM запускается, как только обнаруживается активный фронт.

- Когда TRIGEN[1:0] отличается от '00', TRIGSEL[2:0] используется для выбора, какой из 8 триггерных входов используется для запуска счетчика.

Внешние триггеры считаются асинхронными сигналами для LPTIM. Таким образом, после обнаружения триггера требуется задержка в два такта, прежде чем таймер запустится из-за синхронизации.

Если новое событие триггера происходит, когда таймер уже запущен, оно игнорируется (если не включена функция тайм-аута).

**Примечание.** Таймер должен быть включен до установки битов SNGSTRT/CNTSTRT. Любая запись в эти биты, когда таймер отключен, аппаратно отбрасывается.

**Примечание.** При запуске счетчика программно (TRIGEN[1:0] = 00) существует задержка в 3 такта ядра между обновлением регистра LPTIM\_CR (установка одного из битов SNGSTRT или CNTSTRT) и эффективным запуском счетчика.

### 28.4.8 Режим работы

LPTIM имеет два режима работы:

- Непрерывный режим: таймер работает в автономном режиме, таймер запускается из триггерного события и никогда не останавливается, пока таймер не будет отключен.

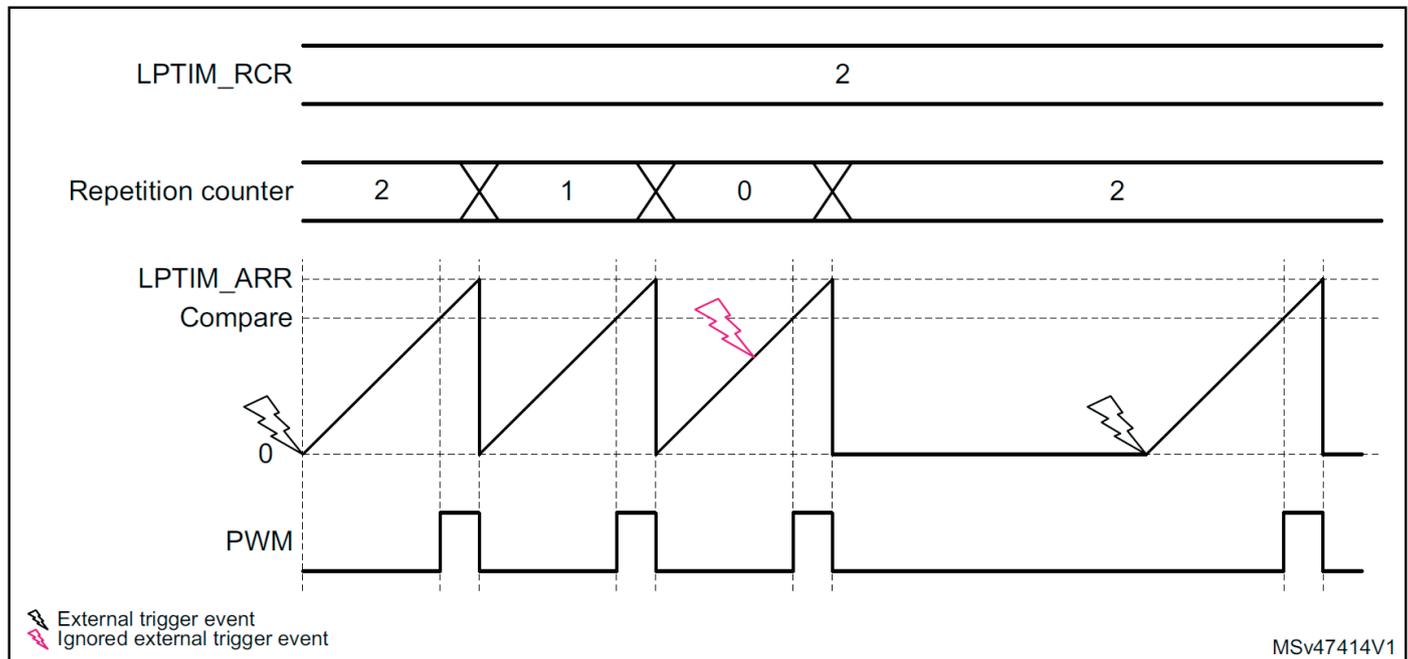
- **Однократный режим:** таймер запускается из триггерного события и останавливается, когда генерируется событие обновления LPTIM.

### Однократный режим

Чтобы включить однократный подсчет, должен быть установлен бит SNGSTRT. Новое триггерное событие перезапускает таймер. Любое событие триггера, происходящее после запуска счетчика и до следующего события обновления LPTIM, отбрасывается.

В случае выбора внешнего триггера каждое событие внешнего триггера, поступающее после установки бита SNGSTRT и после остановки счетчика повторений (после события обновления), и если содержимое регистра повторений отличается от нуля, счетчик повторений перезагружается со значением, уже содержащимся в регистре повторения, и запускается новый цикл однократного счета, как показано на рисунке 263.

*Рисунок 263. Форма выходного сигнала LPTIM, конфигурация режима одиночного счета, когда содержимое регистра повторения отличается от нуля (при  $PRELOAD = 1$ )*



- Активирован однократный режим:

Следует отметить, что при установке битового поля WAVE в регистре LPTIM\_CFGFR активируется режим Set-once. В этом случае счетчик запускается только один раз после первого триггера, а любое последующее триггерное событие отбрасывается, как показано на рисунке 264.

В случае программного запуска ( $TRIGEN[1:0] = '00'$ ) настройка SNGSTRT запускает счетчик для однократного подсчета.

### Непрерывный режим

Чтобы разрешить непрерывный подсчет, должен быть установлен бит CNTSRT. Если выбран внешний триггер, событие внешнего триггера, поступившее после установки CNTSRT, запускает счетчик для непрерывного подсчета. Любое последующее внешнее триггерное событие отбрасывается, как показано на рис. 265.

В случае программного запуска ( $TRIGEN[1:0] = '00'$ ) настройка CNTSTRT запускает счетчик для непрерывного счета.

Рисунок 264. Форма выходного сигнала LPTIM, конфигурация режима одиночного счета и активирован режим однократной установки (установлен бит WAVE)

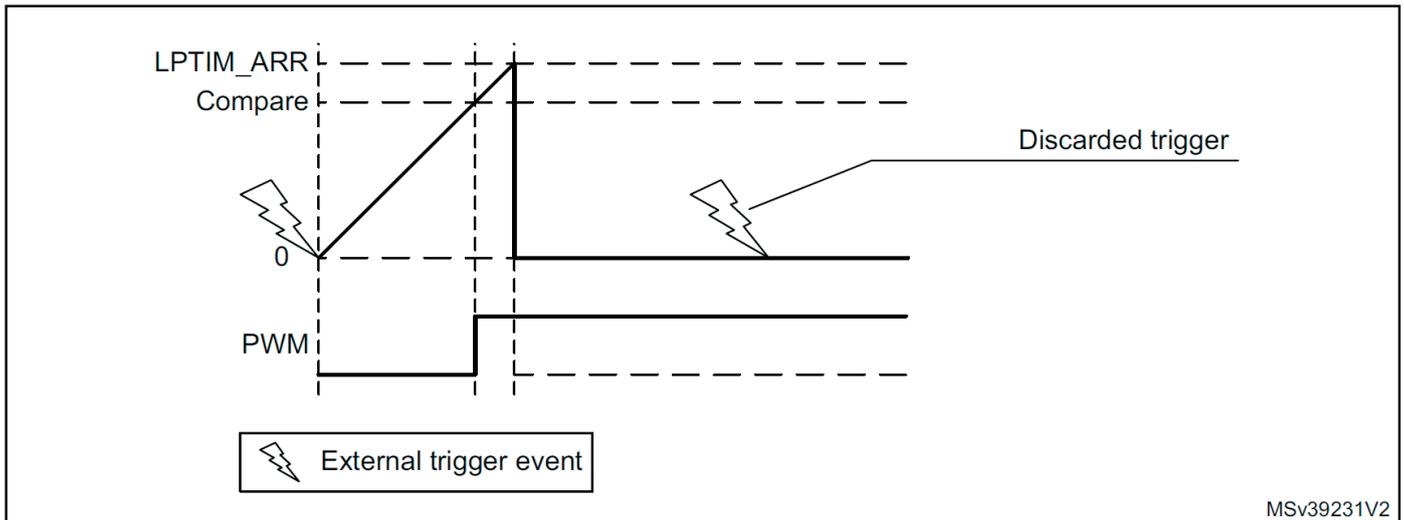
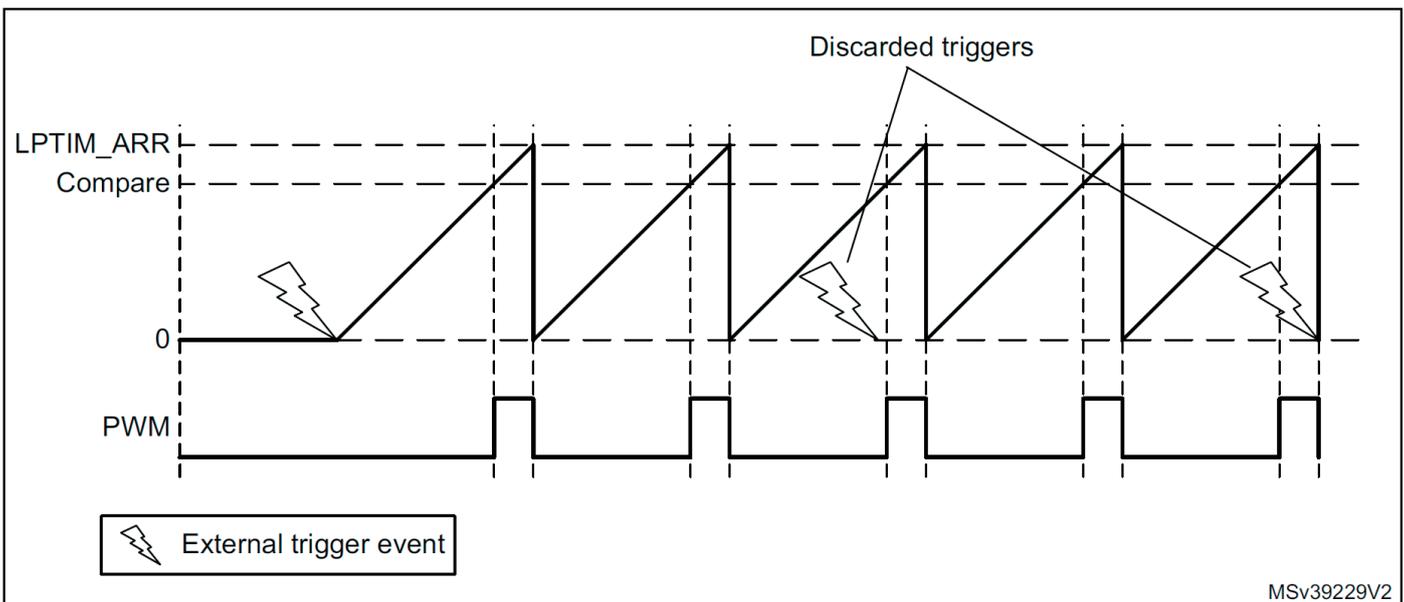


Рисунок 265. Форма выходного сигнала LPTIM, конфигурация режима непрерывного счета



Биты SNGSTRT и CNTSTRT могут быть установлены только тогда, когда таймер включен (бит ENABLE установлен на «1»). Можно «на лету» переключаться с режима One-shot на режим Continuous.

Если ранее был выбран непрерывный режим, установка SNGSTRT переключает LPTIM в однократный режим. Счетчик (если он активен) останавливается, как только генерируется событие обновления LPTIM.

Если ранее был выбран однократный режим, установка CNTSTRT переключает LPTIM в непрерывный режим. Счетчик (если он активен) перезапускается, как только достигает значения ARR.

### 28.4.9 Функция тайм-аута

Обнаружение активного фронта на одном выбранном триггерном входе можно использовать для сброса счетчика LPTIM. Эта функция управляется битом TIMOUT.

Первое событие триггера запускает таймер, любое последующее событие триггера сбрасывает счетчик LPTIM и счетчик повторений, и таймер перезапускается.

Может быть реализована функция тайм-аута с низким энергопотреблением. Значение тайм-аута соответствует значению сравнения; если триггер не происходит в течение ожидаемого периода времени, MCU активируется событием сравнения соответствия.

#### 28.4.10 Генерация сигнала

Два 16-битных регистра, LPTIM\_ARR (регистр автоматической перезагрузки) и LPTIM\_CMP (регистр сравнения), используются для генерации нескольких различных сигналов на выходе LPTIM.

Таймер может генерировать следующие формы сигналов:

- Режим PWM: выход LPTIM устанавливается, как только значение счетчика в LPTIM\_CNT превышает значение сравнения в LPTIM\_CMP. Выход LPTIM сбрасывается, как только происходит совпадение между регистрами LPTIM\_ARR и LPTIM\_CNT.

- Одноимпульсный режим: форма выходного сигнала аналогична форме ШИМ для первого импульса, затем выход постоянно сбрасывается.

- Однократный режим: форма выходного сигнала аналогична одноимпульсному режиму, за исключением того, что на выходе поддерживается последний уровень сигнала (зависит от настроенной полярности выхода).

Описанные выше режимы требуют, чтобы значение регистра LPTIM\_ARR было строго больше значения регистра LPTIM\_CMP.

Форма выходного сигнала LPTIM может быть настроена с помощью бита WAVE следующим образом:

- Сброс бита WAVE в «0» заставляет LPTIM генерировать сигнал ШИМ или сигнал с одним импульсом, в зависимости от того, какой бит установлен: CNTSTRT или SNGSTRT.

- Установка бита WAVE в «1» заставляет LPTIM генерировать сигнал в режиме однократной установки.

Бит WAVPOL управляет полярностью выхода LPTIM. Изменение вступает в силу немедленно, поэтому значение выхода по умолчанию изменяется сразу же после перенастройки полярности, даже до включения таймера.

Могут генерироваться сигналы с частотой до тактовой частоты LPTIM, деленной на 2. На рис. 266 ниже показаны три возможные формы сигнала, которые могут быть сгенерированы на выходе LPTIM. Кроме того, он показывает эффект изменения полярности с помощью бита WAVPOL.

#### 28.4.11 Регистр обновления

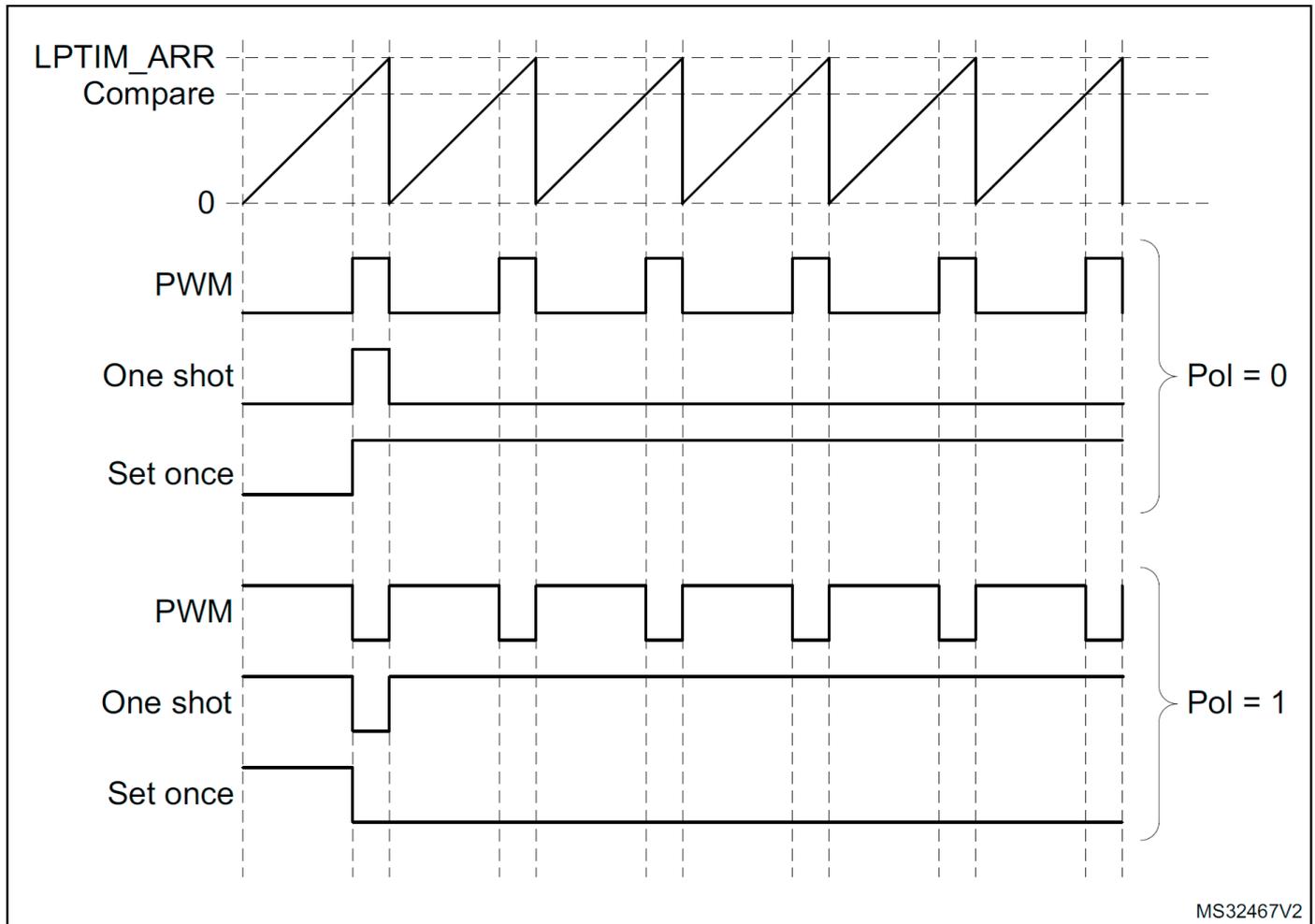
Регистр LPTIM\_ARR и регистр LPTIM\_CMP обновляются сразу после операции записи шины APB или синхронно со следующим событием обновления LPTIM, если таймер уже запущен.

Бит PRELOAD управляет обновлением регистров LPTIM\_ARR и LPTIM\_CMP:

- Когда бит PRELOAD сбрасывается в «0», регистры LPTIM\_ARR и LPTIM\_CMP немедленно обновляются после любого доступа для записи.

- Когда бит PRELOAD установлен на «1», регистры LPTIM\_ARR и LPTIM\_CMP обновляются при следующем событии обновления LPTIM, если таймер уже запущен.

Рисунок 266. Генерация сигнала



Интерфейс LPTIM APB и логика ядра LPTIM используют разные часы, поэтому существует некоторая задержка между записью APB и моментом, когда эти значения доступны компаратору счетчиков. В течение этого периода ожидания следует избегать любой дополнительной записи в эти регистры.

Флаг ARROK и флаг CMPOK в регистре LPTIM\_ISR указывают, когда операция записи завершена соответственно в регистр LPTIM\_ARR и регистр LPTIM\_CMP.

После записи в регистр LPTIM\_ARR или регистр LPTIM\_CMP новая операция записи в тот же регистр может быть выполнена только после завершения предыдущей операции записи. Любая последующая запись до установки соответственно флага ARROK или CMPOK приводит к непредсказуемым результатам.

### 28.4.12 Режим счета

Счетчик LPTIM можно использовать для подсчета внешних событий на входе 1 LPTIM или для подсчета внутренних тактовых циклов. Биты CKSEL и COUNTMODE определяют, какой источник используется для обновления счетчика.

Если LPTIM сконфигурирован для подсчета внешних событий на входе 1, счетчик может обновляться по переднему фронту, заднему фронту или обоим фронтам в зависимости от значения, записанного в биты CKPOL[1:0].

В зависимости от значений CKSEL и COUNTMODE можно выбрать следующие режимы подсчета:

- CKSEL = 0: LPTIM синхронизируется внутренним источником синхронизации.

- РЕЖИМ СЧЕТА = 0

LPTIM настроен на тактирование внутренним источником синхронизации, а счетчик LPTIM настроен на обновление после каждого внутреннего тактового импульса.

- РЕЖИМ СЧЕТА = 1

Внешний вход 1 LPTIM дискретизируется внутренними часами, предоставленными LPTIM.

Следовательно, чтобы не пропустить ни одно событие, частота изменений внешнего сигнала Input1 никогда не должна превышать частоту внутренних часов, подаваемых на LPTIM. Кроме того, внутренние часы, предоставленные LPTIM, не должны быть предварительно масштабированы (PRESC[2:0] = 000).

- CKSEL = 1: LPTIM синхронизируется внешним источником синхронизации.

Значение COUNTMODE не имеет значения.

В этой конфигурации LPTIM не нуждается во внутреннем источнике синхронизации (за исключением случаев, когда включены фильтры помех). Сигнал, введенный на внешний вход 1 LPTIM, используется в качестве системных часов для LPTIM. Эта конфигурация подходит для режимов работы, в которых встроенный генератор не включен.

Для этой конфигурации счетчик LPTIM может обновляться либо по переднему, либо по заднему фронту тактового сигнала input1, но не по обоим передним и задним фронтам.

Поскольку сигнал, введенный на внешний вход 1 LPTIM, также используется для тактирования логики ядра LPTIM, существует некоторая начальная задержка (после включения LPTIM) перед увеличением счетчика. Точнее, первые пять активных фронтов на внешнем входе 1 LPTIM (после включения LPTIM) теряются.

### 28.4.13 Включение таймера

Бит ENABLE, расположенный в регистре LPTIM\_CR, используется для включения/отключения логики ядра LPTIM. После установки бита ENABLE требуется задержка в два такта счетчика, прежде чем LPTIM действительно активируется.

Регистры LPTIM\_CFGR и LPTIM\_IER должны изменяться только тогда, когда LPTIM отключен.

### 28.4.14 Сброс счетчика таймера

Чтобы сбросить содержимое регистра LPTIM\_CNT на ноль, реализованы два механизма сброса:

- Механизм синхронного сброса: синхронный сброс управляется битом COUNTRST в регистре LPTIM\_CR. После установки битового поля COUNTRST в '1' сигнал сброса распространяется в домене часов ядра LPTIM. Поэтому важно отметить, что несколько тактовых импульсов логики ядра LPTIM проходят до того, как будет принят во внимание сброс. Это заставляет счетчик LPTIM считать несколько дополнительных плюсов между моментом срабатывания сброса и его

вступлением в силу. Поскольку бит COUNTRST расположен в домене часов APB, а счетчик LPTIM расположен в домене часов ядра LPTIM, задержка в 3 такта часов ядра необходима для синхронизации сигнала сброса, выдаваемого доменом часов APB при записи '1' в бит COUNTRST.

- Механизм асинхронного сброса: асинхронный сброс управляется битом RSTARE, расположенным в регистре LPTIM\_CR. Когда этот бит установлен в «1», любой доступ для чтения к регистру LPTIM\_CNT сбрасывает его содержимое на ноль. Асинхронный сброс должен запускаться в течение периода времени, в течение которого не предоставляется тактовая частота ядра LPTIM. Например, когда LPTIM Input1 используется в качестве внешнего источника синхронизации, асинхронный сброс следует применять только тогда, когда имеется достаточная гарантия того, что на LPTIM Input1 не произойдет переключения.

Следует отметить, что для надежного чтения содержимого регистра LPTIM\_CNT необходимо выполнить и сравнить два последовательных доступа для чтения. Доступ для чтения можно считать надежным, когда значение двух доступов для чтения равно. К сожалению, при включенном асинхронном сбросе нет возможности дважды прочитать регистр LPTIM\_CNT.

#### **Предупреждение:**

**Внутри LPTIM нет механизма, препятствующего одновременному использованию двух механизмов сброса. Поэтому разработчик должен убедиться, что эти два механизма используются исключительно.**

### **28.4.15 Режим энкодера**

Этот режим позволяет обрабатывать сигналы от квадратурных энкодеров, используемых для определения углового положения поворотных элементов. Режим интерфейса энкодера действует просто как внешние часы с выбором направления. Это означает, что счетчик просто непрерывно считает между 0 и значением автоматической перезагрузки, запрограммированным в регистре LPTIM\_ARR (от 0 до ARR или от ARR до 0 в зависимости от направления). Поэтому LPTIM\_ARR необходимо настроить перед запуском счетчика. Из двух внешних входных сигналов, Input1 и Input2, генерируется тактовый сигнал для синхронизации счетчика LPTIM. Фаза между этими двумя сигналами определяет направление счета.

Режим кодировщика доступен только тогда, когда LPTIM тактируется внутренним источником тактирования. Частота сигналов на входах Input1 и Input2 не должна превышать внутреннюю тактовую частоту LPTIM, деленную на 4. Это обязательно для обеспечения правильной работы LPTIM.

Изменение направления сигнализируется двумя флагами Down и Up в регистре LPTIM\_ISR. Кроме того, прерывание может быть сгенерировано для обоих событий изменения направления, если это разрешено битом DOWNIE.

Для активации режима энкодера бит ENC должен быть установлен в «1». Сначала LPTIM должен быть настроен на непрерывный режим.

Когда активен режим энкодера, счетчик LPTIM автоматически изменяется в соответствии со скоростью и направлением инкрементного энкодера. Поэтому его содержимое всегда представляет позицию энкодера. Направление счета, обозначенное флажками «Вверх» и «Вниз», соответствует направлению вращения ротора энкодера.

В зависимости от чувствительности к фронту, настроенной с помощью битов CKPOL[1:0], возможны различные сценарии подсчета. В следующей таблице приведены возможные комбинации, предполагая, что Input1 и Input2 не переключаются одновременно.

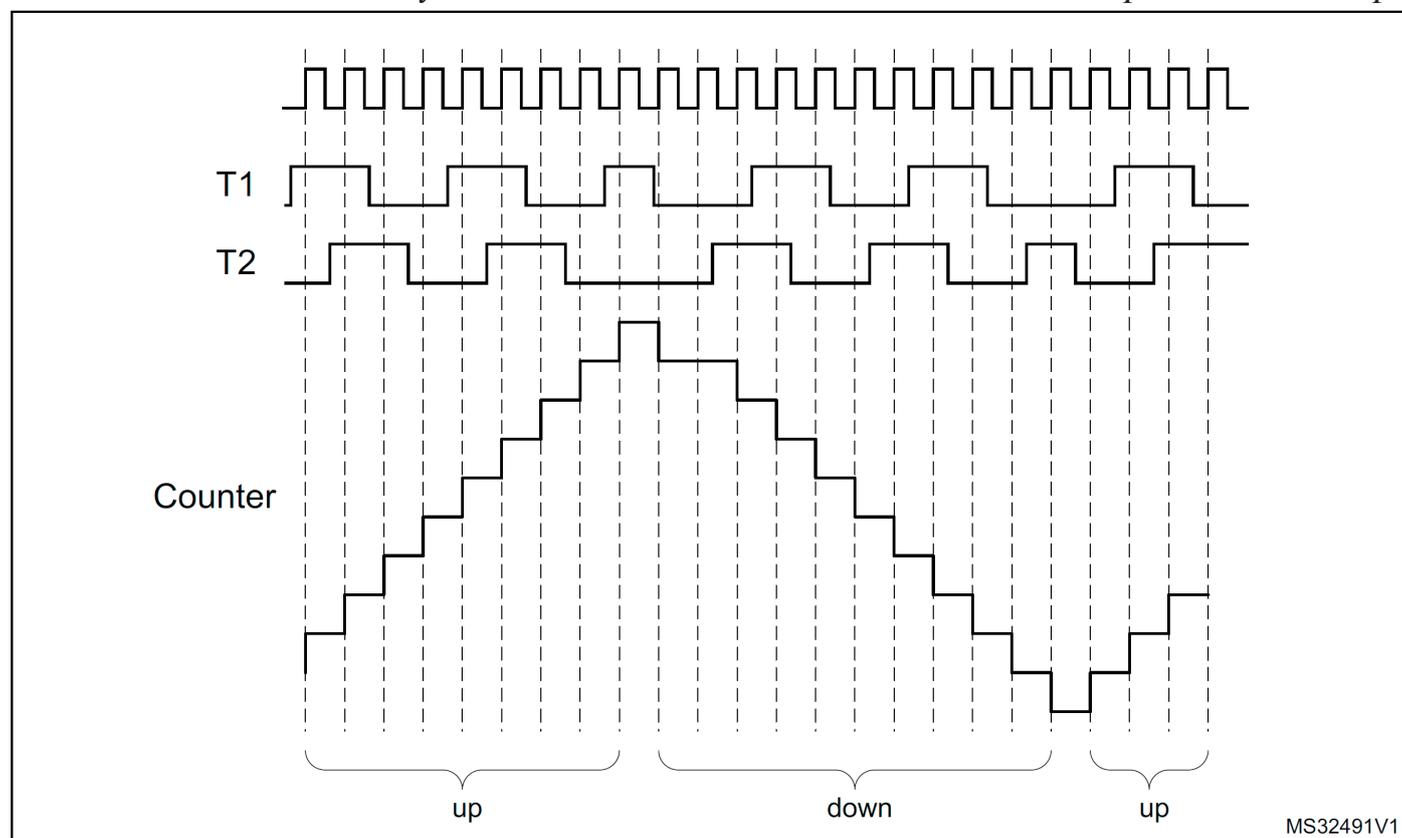
Табл. 200. Сценарии подсчета энкодера

Active edge	Уровень на противоположном сигнале (Вход1 для входа2, Вход2 для входа1)	Input1 signal		Input2 signal	
		Rising (фронт)	Falling (спад)	Rising (фронт)	Falling (спад)
Rising Edge (фронт)	High	Down	No count	Up	No count
	Low	Up	No count	Down	No count
Falling Edge (спад)	High	No count	Up	No count	Down
	Low	No count	Down	No count	Up
Both Edges (фронт и спад)	High	Down	Up	Up	Down
	Low	Up	Down	Down	Up

На следующем рисунке показана последовательность подсчета для режима энкодера, в котором настроена чувствительность к обоим фронтам.

Предостережение: в этом режиме LPTIM должен синхронизироваться внутренним источником синхронизации, поэтому бит CKSEL должен быть установлен на значение сброса, равное «0». Кроме того, коэффициент деления предварительного делителя должен быть равен его значению сброса, которое равно 1 (биты PRESC[2:0] должны быть равны «000»).

Рисунок 267. Последовательность подсчета в режиме энкодера



MS32491V1

### 28.4.16 Счетчик повторений

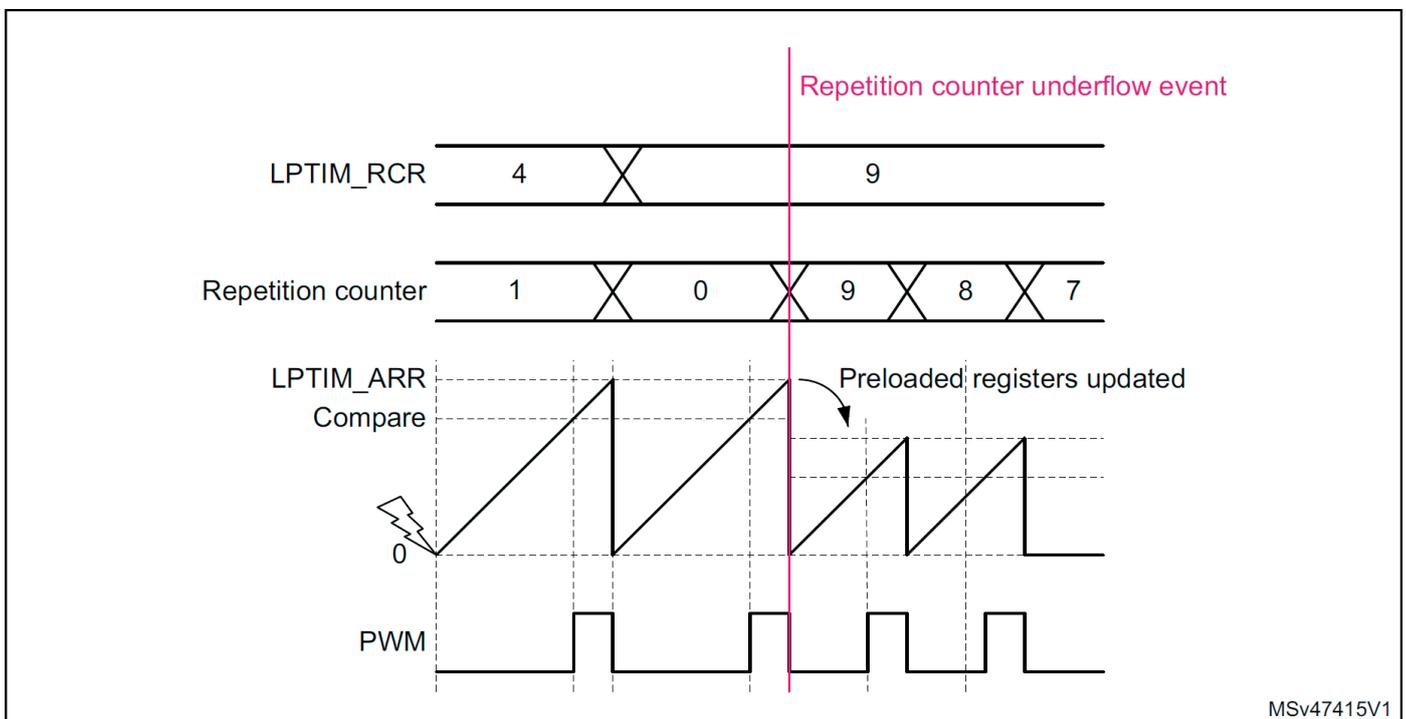
LPTIM имеет счетчик повторений, который уменьшается на 1 каждый раз, когда происходит событие переполнения счетчика LPTIM. Событие опустошения

счетчика повторений генерируется, когда счетчик повторений содержит ноль, а счетчик LPTIM переполняется. После каждого события опустошения счетчика повторений счетчик повторений загружается содержимым битового поля REP[7:0], которое принадлежит регистру повторений LPTIM\_RCR.

Событие потери значимости повторения генерируется при каждом переполнении счетчика LPTIM, когда регистр REP[7:0] установлен в 0.

Когда PRELOAD = 1, запись в битовое поле REP[7:0] не влияет на содержимое счетчика повторений до тех пор, пока не произойдет следующее событие опустошения числа повторений. Счетчик повторений продолжает уменьшать каждое событие переполнения счетчика LPTIM, и только когда генерируется событие потери значимости повторения, новое значение, записанное в REP[7:0], загружается в счетчик повторений. Это поведение показано на рис. 268.

*Рисунок 268. Режим непрерывного счета, когда регистр повторения LPTIM\_RCR отличен от нуля (при PRELOAD = 1)*



MSv47415V1

Событие опустошения счетчика повторений систематически связано с обновлением предварительно загруженных регистров LPTIM (дополнительную информацию см. в разделе «Обновление регистра»).

Событие опустошения счетчика повторений сигнализируется программному обеспечению посредством флага события обновления (UE), отображаемого в регистре LPTIM\_ISR. Когда флаг UE установлен, он может инициировать прерывание LPTIM, если установлен соответствующий управляющий бит разрешения прерывания события обновления (UEIE), сопоставленный с регистром LPTIM\_IER.

Регистр повторений LPTIM\_RCR расположен в домене часов интерфейса шины APB, где сам счетчик повторений расположен в домене часов ядра LPTIM. Каждый раз, когда в регистр LPTIM\_RCR записывается новое значение, это новое содержимое распространяется из домена часов интерфейса шины APB в домен часов ядра LPTIM, так что новое записанное значение загружается в счетчик повторений сразу после события опустошения счетчика повторений. Задержка синхронизации для нового записанного содержимого составляет четыре тактовых цикла

APB плюс три тактовых цикла ядра LPTIM и сигнализируется флагом REPOK, расположенным в регистре LPTIM\_ISR, когда он истекает. Когда тактовый цикл ядра LPTIM относительно медленный, например, когда ядро LPTIM синхронизируется с источником тактового сигнала LSI, может потребоваться продолжительный опрос программного обеспечения флага REPOK, чтобы определить, что синхронизация содержимого регистра LPTIM\_RCR завершена. По этой причине установленный флаг REPOK может генерировать прерывание, если установлен связанный с ним управляющий бит REPOKIE в регистре LPTIM\_IER.

Примечание. После записи в регистр LPTIM\_RCR новая операция записи в тот же регистр может быть выполнена только после завершения предыдущей операции записи. Любая последующая запись до установки флага REPOK приводит к непредсказуемым результатам.

Предостережение: При использовании счетчика повторений с  $PRELOAD = 0$  регистр LPTIM\_RCR должен быть изменен как минимум за пять циклов счетчика до события совпадения автоматической перезагрузки, иначе может произойти непредсказуемое поведение.

### 28.4.17 Режим отладки

Когда микроконтроллер входит в режим отладки (ядро остановлено), счетчик LPTIM либо продолжает нормально работать, либо останавливается, в зависимости от бита конфигурации DBG\_LPTIM\_STOP в модуле DBG.

## 28.5 Режимы LPTIM с низким энергопотреблением

Табл. 201. Влияние маломощных режимов на LPTIM

Mode	Описание
Sleep	Нет эффекта. Прерывания LPTIM заставляют устройство выходить из спящего режима.
Stop	Если LPTIM тактируется генератором, доступным в режиме Stop, LPTIM работает, и прерывания заставляют устройство выходить из режима Stop (см. Раздел 28.3: Реализация LPTIM).
Standby	Периферийное устройство LPTIM выключено и должно быть повторно инициализировано после выхода из режима ожидания.

### 28.6 Прерывания LPTIM

Следующие события генерируют событие прерывания/пробуждения, если они разрешены через регистр LPTIM\_IER:

- Соответствие компаратора
- Соответствие автоматической перезагрузки (независимо от направления в режиме энкодера)
  - Внешнее триггерное событие
  - Запись регистра автоперезагрузки завершена
  - Запись регистра сравнения завершена
  - Изменение направления (режим энкодера), программируемое (вверх/вниз/оба направления).



**Биты 31:9** Зарезервированы, должны быть сохранены в значении сброса.

**Бит 8 REPOK:** обновление регистра повторений в порядке

REPOK устанавливается аппаратно, чтобы информировать приложение об успешном завершении операции записи шины APB в регистр LPTIM\_RCR. Флаг REPOK можно сбросить, записав 1 в бит REPOKCF в регистре LPTIM\_ICR.

**Бит 7 UE:** произошло событие обновления LPTIM

UE настроено аппаратно для информирования приложения о том, что было сгенерировано событие обновления. Флаг UE можно сбросить, записав 1 в бит UE CF в регистре LPTIM\_ICR.

**Бит 6 DOWN:** изменение направления счетчика вверх на вниз

В режиме энкодера бит DOWN устанавливается аппаратно, чтобы информировать приложение о том, что направление счетчика изменилось с восходящего на нисходящее. Флаг DOWN можно сбросить, записав 1 в бит DOWNCF в регистре LPTIM\_ICR.

*Примечание.* Если LPTIM не поддерживает функцию режима энкодера, этот бит зарезервирован. См. Раздел 28.3: Реализация LPTIM.

**Бит 5 UP:** изменение направления обратного хода вниз на вверх

В режиме энкодера бит UP устанавливается аппаратно, чтобы информировать приложение о том, что направление счетчика изменилось с нисходящего на восходящее. Флаг UP можно сбросить, записав 1 в бит UP CF в регистре LPTIM\_ICR.

*Примечание.* Если LPTIM не поддерживает функцию режима энкодера, этот бит зарезервирован. См. Раздел 28.3: Реализация LPTIM.

**Бит 4 ARROK:** обновление регистра автоперезагрузки завершено успешно

ARROK устанавливается аппаратно, чтобы информировать приложение об успешном завершении операции записи шины APB в регистр LPTIM\_ARR. Флаг ARROK можно сбросить, записав 1 в бит ARROKCF в регистре LPTIM\_ICR.

**Бит 3 CMPOK:** обновление регистра сравнения завершено успешно

CMPOK устанавливается аппаратно, чтобы информировать приложение об успешном завершении операции записи шины APB в регистр LPTIM\_CMP.

**Бит 2 EXTTRIG:** событие фронта внешнего триггера

EXTTRIG задается аппаратно, чтобы информировать приложение о том, что на выбранном входе внешнего триггера возник действительный фронт. Если триггер игнорируется, потому что таймер уже запущен, то этот флаг не устанавливается. Флаг EXTTRIG можно сбросить, записав 1 в бит EXTTRIGCF в регистре LPTIM\_ICR.

**Бит 1 ARRM:** совпадение автоматической перезагрузки

ARRM устанавливается аппаратно, чтобы информировать приложение о том, что значение регистра LPTIM\_CNT достигло значения регистра LPTIM\_ARR. Флаг ARRM можно сбросить, записав 1 в бит ARRMCF в регистре LPTIM\_ICR.

**Бит 0 CMPM:** Соответствие компаратора

Бит CMPM устанавливается аппаратно, чтобы сообщить приложению, что значение регистра LPTIM\_CNT достигло значения регистра LPTIM\_CMP.

**28.7.2 Регистр очистки прерывания LPTIM (LPTIM\_ICR)**

Смещение адреса: 0x004

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	REPOK CF	UECF	DOWN CF	UPCF	ARRO KCF	CMPO KCF	EXTTR IGCF	ARRM CF	CMPM CF						
							w	w	w	w	w	w	w	w	w

**Биты 31:9** Зарезервированы, должны быть сохранены в значении сброса.

**Бит 8 REPOKCF:** Обновление регистра повторения завершено успешно сброс флага  
Запись 1 в этот бит очищает флаг REPOK в регистре LPTIM\_ISR.

**Бит 7 UECF:** обновить флаг очистки события  
Запись 1 в этот бит очищает флаг UE в регистре LPTIM\_ISR.

**Бит 6 DOWNCF:** флаг сброса направления вниз  
Запись 1 в этот бит очищает флаг DOWN в регистре LPTIM\_ISR.

*Примечание.* Если LPTIM не поддерживает функцию режима энкодера, этот бит зарезервирован. См. Раздел 28.3: Реализация LPTIM.

**Бит 5 UPCF:** изменение направления на сброс флага ВВЕРХ  
Запись 1 в этот бит очищает флаг UP в регистре LPTIM\_ISR.

*Примечание.* Если LPTIM не поддерживает функцию режима энкодера, этот бит зарезервирован. См. Раздел 28.3: Реализация LPTIM.

**Бит 4 ARROKCF:** обновление регистра автоматической перезагрузки завершено успешно сброс флага

Запись 1 в этот бит очищает флаг ARROK в регистре LPTIM\_ISR.

**Бит 3 CMPOKCF:** обновление регистра сравнения завершено успешно сброс флага  
Запись 1 в этот бит очищает флаг CMPOK в регистре LPTIM\_ISR.

**Бит 2 EXTTRIGCF:** Флаг сброса допустимого фронта внешнего триггера  
Запись 1 в этот бит очищает флаг EXTTRIG в регистре LPTIM\_ISR.

**Бит 1 ARRMCF:** флаг сброса совпадения автоматической перезагрузки  
Запись 1 в этот бит очищает флаг ARRM в регистре LPTIM\_ISR.

**Бит 0 CMPMCF:** флаг очистки совпадения компаратора  
Запись 1 в этот бит очищает флаг CMP в регистре LPTIM\_ISR.

### 28.7.3 Регистр разрешения прерывания LPTIM (LPTIM\_IER)

Смещение адреса: 0x008

Значение сброса: 0x0000 0000

**Биты 31:9** Зарезервированы, должны быть сохранены в значении сброса.

**Бит 8 REPOKIE:** обновление регистра повторения ОК прерывание разрешено

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	REPOKIE	UEIE	DOWNIE	UPIE	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE						
							rw	rw	rw	rw	rw	rw	rw	rw	rw

0: Прерывание ОК обновления регистра повторения отключено

1: прерывание ОК обновления регистра повторения разрешено

**Бит 7 UEIE:** разрешение прерывания события обновления

0: прерывание события обновления отключено

1: прерывание события обновления включено

**Бит 6 DOWNIE:** изменение направления вниз. Разрешение прерывания.

0: прерывание DOWN отключено

1: прерывание DOWN разрешено

**Примечание.** Если LPTIM не поддерживает функцию режима кодировщика, этот бит зарезервирован. Пожалуйста, обратитесь к разделу 28.3: Реализация LPTIM.

**Бит 5 UPIE:** изменение направления на разрешение прерывания UP

0: прерывание вверх отключено

1: прерывание вверх разрешено

**Примечание.** Если LPTIM не поддерживает функцию режима кодировщика, этот бит зарезервирован. Пожалуйста, обратитесь к разделу 28.3: Реализация LPTIM.

**Бит 4 ARROKIE:** Обновление регистра автоперезагрузки ОК Разрешение прерывания

0: прерывание ARROK отключено

1: прерывание ARROK разрешено

**Бит 3 CMPOKIE:** обновление регистра сравнения ОК Разрешить прерывание

0: прерывание CMPOK отключено

1: прерывание CMPOK разрешено.

**Бит 2 EXTTRIGIE:** допустимый фронт внешнего триггера Разрешить прерывание

0: прерывание EXTTRIG отключено

1: прерывание EXTTRIG разрешено

**Бит 1 ARRMIE:** автоматическая перезагрузка соответствует разрешению прерывания

0: прерывание ARMM отключено

1: прерывание ARMM разрешено

**Бит 0 SMPME:** разрешение прерывания совпадения компаратора

0: прерывание SMPM отключено

1: прерывание SMPM разрешено

**Внимание:** регистр LPTIM\_IER можно изменять только тогда, когда LPTIM отключен (бит ENABLE сбрасывается в «0»).

#### 28.7.4 Регистр конфигурации LPTIM (LPTIM\_CFGR)

Смещение адреса: 0x00C

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENC	COUNT MODE	PRE LOAD	WAV POL	WAVE	TIMOUT	TRIGEN[1:0]		Res.
							rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGSEL[2:0]			Res.	PRESC[2:0]			Res.	TRGFLT[1:0]		Res.	CKFLT[1:0]		CKPOL[1:0]		CKSEL
rw	rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	rw	rw

**Биты 31:30** Зарезервировано, должно быть сохранено значение сброса.

**Бит 29** Зарезервировано, должно быть установлено значение сброса.

**Биты 28:25** Зарезервировано, должно быть сохранено значение сброса.

**Бит 24 ENC:** режим энкодера включен

Бит ENC управляет режимом энкодера.

0: режим энкодера отключен

1: режим энкодера включен

**Примечание.** Если LPTIM не поддерживает функцию режима кодировщика, этот бит зарезервирован. См. Раздел 28.3: Реализация LPTIM.

**Бит 23 COUNTMODE:** режим счетчика включен

Бит COUNTMODE выбирает, какой источник синхронизации используется LPTIM для синхронизации счетчика:

0: счетчик увеличивается после каждого внутреннего тактового импульса

1: счетчик увеличивается после каждого действительного тактового импульса на внешнем входе 1 LPTIM.

**Бит 22 PRELOAD:** Режим обновления регистров

Бит PRELOAD управляет модальностью обновления регистров LPTIM\_ARR, LPTIM\_RCR и LPTIM\_CMP.

0: Регистры обновляются после каждого доступа на запись к шине APB.

1: Регистры обновляются в конце текущего периода LPTIM.

**Бит 21 WAVPOL:** полярность формы сигнала

Бит WAVPOL управляет полярностью выхода.

0: выходные данные LPTIM отражают результаты сравнения между регистрами LPTIM\_CNT и LPTIM\_CCRx.

1: выходные данные LPTIM отражают инверсию результатов сравнения между регистрами LPTIM\_CNT и LPTIM\_CCRx.

**Бит 20 WAVE:** Форма сигнала

Бит WAVE управляет выходной формой

0: деактивировать режим однократной установки

1: активировать режим однократной установки

**Бит 19 TIMOUT:** Тайм-аут разрешен.

Бит TIMOUT управляет функцией Timeout.

0: триггерное событие, пришедшее, когда таймер уже запущен, игнорируется.

1: триггерное событие, прибывающее, когда таймер уже запущен, сбрасывает и перезапускает счетчик LPTIM и счетчик повторений.

**Биты 18:17 TRIGEN[1:0]:** Разрешение триггера и полярность

Биты TRIGEN определяют, запускается ли счетчик LPTIM внешним триггером или нет. Если выбрана опция внешнего триггера, для активного фронта триггера возможны три конфигурации:

00: программный триггер (начало отсчета иницируется программным обеспечением)

01: нарастающий фронт является активным фронтом

10: задний фронт является активным фронтом

11: оба ребра являются активными ребрами

**Бит 16** Зарезервировано, должно быть установлено значение сброса.

**Биты 15:13 TRIGSEL[2:0]:** Селектор триггера

Биты TRIGSEL выбирают источник запуска, который служит событием запуска для LPTIM, среди 8 доступных источников:

000: lptim\_ext\_trig0

001: lptim\_ext\_trig1

010: lptim\_ext\_trig2

011: lptim\_ext\_trig3

100: lptim\_ext\_trig4

101: lptim\_ext\_trig5

110: lptim\_ext\_trig6

111: lptim\_ext\_trig7

Дополнительные сведения см. в Разделе 28.4.3: Отображение триггеров LPTIM.

**Бит 12** Зарезервировано, должно быть сохранено значение сброса.

**Биты 11:9 PRESC[2:0]:** предварительный делитель тактового сигнала

Биты PRESC определяют коэффициент деления предварительного делителя. Это может быть один из следующих факторов деления:

000: /1  
001: /2  
010: /4  
011: /8  
100: /16  
101: /32  
110: /64  
111: /128

**Бит 8** Зарезервирован, должно быть сохранено значение сброса.

**Биты 7:6 TRGFLT[1:0]:** настраиваемый цифровой фильтр для триггера

Значение TRGFLT задает количество последовательных одинаковых выборок, которые должны быть обнаружены, когда изменение уровня происходит по внутреннему триггеру, прежде чем оно будет считаться действительным переходом уровня. Для использования этой функции должен присутствовать внутренний источник синхронизации.

00: любое изменение активного уровня триггера считается действительным триггером.

01: изменение активного уровня триггера должно быть стабильным в течение как минимум 2 тактов, прежде чем оно будет считаться действительным триггером.

10: изменение активного уровня триггера должно быть стабильным в течение как минимум 4 тактов, прежде чем оно будет считаться действительным триггером.

11: изменение активного уровня триггера должно быть стабильным не менее 8 тактовых периодов, прежде чем оно будет считаться действительным триггером.

**Бит 5** Зарезервирован, должен быть установлен на значение сброса.

**Биты 4:3 СКFLT[1:0]:** настраиваемый цифровой фильтр для внешнего тактового сигнала

Значение СКFLT устанавливает количество последовательных одинаковых отсчетов, которые должны быть обнаружены, когда происходит изменение уровня внешнего тактового сигнала, прежде чем оно будет считаться действительным переходом уровня. Для использования этой функции должен присутствовать внутренний источник синхронизации.

00: любое изменение уровня внешнего тактового сигнала считается действительным переходом.

01: изменение уровня внешнего тактового сигнала должно быть стабильным в течение не менее 2 тактовых периодов, прежде чем оно будет считаться действительным переходом.

10: изменение уровня внешнего тактового сигнала должно быть стабильным в течение не менее 4 тактовых периодов, прежде чем оно будет считаться действительным переходом.

11: изменение уровня внешнего тактового сигнала должно быть стабильным в течение не менее 8 тактовых периодов, прежде чем оно будет считаться действительным переходом.

### Биты 2:1 СКPOL[1:0]: тактовая полярность

Когда LPTIM тактируется внешним источником синхронизации, биты СКPOL используются для настройки активного фронта или фронтов, используемых счетчиком:

00: нарастающий фронт является активным фронтом, используемым для подсчета.

Если LPTIM сконфигурирован в режиме энкодера (установлен бит ENC), под-режим энкодера 1 активен.

01: задний фронт является активным фронтом, используемым для подсчета.

Если LPTIM сконфигурирован в режиме энкодера (установлен бит ENC), под-режим энкодера 2 активен.

10: оба края являются активными краями. Когда оба фронта внешних тактовых сигналов считаются активными, LPTIM также должен тактироваться внутренним источником тактовых импульсов с частотой, как минимум в четыре раза превышающей внешнюю тактовую частоту.

Если LPTIM сконфигурирован в режиме энкодера (установлен бит ENC), под-режим 3 энкодера активен.

11: не разрешено

Обратитесь к разделу 28.4.15: Режим кодировщика для получения более подробной информации о подрежимах режима кодировщика.

### Бит 0 СКSEL: Селектор часов

Бит СКSEL выбирает, какой источник синхронизации использует LPTIM:

0: LPTIM синхронизируется от внутреннего источника синхронизации (часы APB или любой из встроенных генераторов)

1: LPTIM тактируется внешним источником синхронизации через внешний вход LPTIM1.

**Предупреждение:** Регистр LPTIM\_CFGR можно изменять только тогда, когда LPTIM отключен (бит ENABLE сброшен в «0»).

## 28.7.5 Регистр управления LPTIM (LPTIM\_CR)

Смещение адреса: 0x010

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	RST ARE	COUN TRST	CNT STRT	SNG STRT	ENA BLE										
											rw	rs	rw	rw	rw

**Биты 31:5** Зарезервированы, должны быть сохранены в значении сброса.

**Бит 4 RSTARE:** сброс после разрешения чтения

Этот бит устанавливается и сбрасывается программно. Когда для RSTARE установлено значение «1», любой доступ для чтения к регистру LPTIM\_CNT асинхронно сбрасывает содержимое регистра LPTIM\_CNT.

Этот бит можно установить, только если LPTIM включен.

### **Бит 3 COUNTRST:** Сброс счетчика

Этот бит устанавливается программно и очищается аппаратно. Если этот бит установлен в «1», он запускает синхронный сброс регистра счетчика LPTIM\_CNT. Из-за синхронного характера этого сброса он происходит только после задержки синхронизации в 3 такта ядра LPTimer (такты ядра LPTimer могут отличаться от часов APB).

Этот бит можно установить, только если LPTIM включен. Он автоматически сбрасывается аппаратно.

**Предупреждение:** СЧЕТЧИК никогда не должен программно устанавливаться на «1», пока он не будет сброшен на «0» аппаратно. Следовательно, программное обеспечение должно проверять, что бит COUNTRST уже сброшен в «0», прежде чем пытаться установить его в «1».

### **Бит 2 CNTSRT:** запуск таймера в непрерывном режиме

Этот бит устанавливается программно и очищается аппаратно.

В случае программного запуска (TRIGEN[1:0] = '00') установка этого бита запускает LPTIM в непрерывном режиме.

Если программный запуск отключен (TRIGEN[1:0] отличается от «00»), установка этого бита запускает таймер в непрерывном режиме, как только обнаруживается внешний триггер.

Если этот бит установлен, когда идет подсчет в режиме одиночных импульсов, то таймер не останавливается при следующем совпадении между регистрами LPTIM\_ARR и LPTIM\_CNT, и счетчик LPTIM продолжает считать в непрерывном режиме.

Этот бит можно установить, только если LPTIM включен. Он автоматически сбрасывается аппаратно.

### **Бит 1 SNGSTR:** запуск LPTIM в одиночном режиме

Этот бит устанавливается программно и очищается аппаратно.

В случае программного запуска (TRIGEN[1:0] = '00') установка этого бита запускает LPTIM в одноимпульсном режиме.

Если программный запуск отключен (TRIGEN[1:0] отличается от «00»), установка этого бита запускает LPTIM в одноимпульсном режиме, как только обнаруживается внешний триггер.

Если этот бит установлен, когда LPTIM находится в режиме непрерывного подсчета, то LPTIM останавливается при следующем совпадении между регистрами LPTIM\_ARR и LPTIM\_CNT.

Этот бит можно установить, только если LPTIM включен. Он автоматически сбрасывается аппаратно.

### **Бит 0 ENABLE:** LPTIM включен



**Биты 31:16** Зарезервировано, должно быть сохранено значение сброса.

**Биты 15:0 CNT[15:0]:** Значение счетчика

Когда LPTIM работает с асинхронными часами, чтение регистра LPTIM\_CNT может возвращать ненадежные значения. Таким образом, в этом случае необходимо выполнить два последовательных доступа для чтения и убедиться, что два возвращаемых значения идентичны.

### 28.7.9 Регистр опций LPTIM1 (LPTIM1\_OR)

Смещение адреса: 0x020

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OR_1	OR_0													
														rw	rw

**Биты 31:2** Зарезервированы, должны быть сохранены в значении сброса.

**Бит 1 OR\_1:** Бит 1 регистра опций

0: вход 2 LPTIM1 подключен к входу/выходу

1: вход 2 LPTIM1 подключен к COMP2\_OUT

**Бит 0 OR\_0:** Бит 0 регистра опций

0: вход 1 LPTIM1 подключен к входу/выходу

1: вход 1 LPTIM1 подключен к COMP1\_OUT

### 28.7.10 Регистр опций LPTIM2 (LPTIM2\_OR)

Смещение адреса: 0x020

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OR_1	OR_0													
														rw	rw

**Биты 31:2** Зарезервированы, должны быть сохранены в значении сброса.

**Биты 1:0 OR\_[1:0]**

00: вход 1 подключен к входу/выходу

01: вход 1 подключен к COMP1\_OUT

10: вход 1 подключен к COMP2\_OUT

11: вход 1 подключен к COMP1\_OUT ИЛИ COMP2\_OUT

### 28.7.11 Регистр опций LPTIM3 (LPTIM3\_OR)

Смещение адреса: 0x020

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OR_1	OR_0													
														rw	rw

**Биты 31:2** Зарезервированы, должны быть сохранены в значении сброса.

### Биты 1:0 OR\_[1:0]

00: вход 1 подключен к входу/выходу

01: вход 1 подключен к COMP1\_OUT

10: вход 1 подключен к COMP2\_OUT

11: вход 1 подключен к COMP1\_OUT ИЛИ COMP2\_OUT

### 28.7.12 Регистр повторения LPTIM (LPTIM\_RCR)

Смещение адреса: 0x028

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	REP[7:0]														
								rw	rw	rw	rw	rw	rw	rw	rw

**Биты 31:8** Зарезервированы, должны быть сохранены в значении сброса.

**Биты 7:0 REP[7:0]:** Значение регистра повторения

REP — это значение повторения для LPTIM.

**Предупреждение:** Регистр LPTIM\_RCR можно изменять только тогда, когда LPTIM включен (бит ENABLE установлен в «1»). При использовании счетчика повторений с PRELOAD = 0 регистр LPTIM\_RCR должен быть изменен как минимум за пять циклов счетчика до события совпадения автоматической перезагрузки, иначе может произойти непредсказуемое поведение.

## 28.7.13 Карта регистров LPTIM

В следующей таблице приведены регистры LPTIM.

Табл. 203. Карта регистров LPTIM и значения сброса

Offset	Register name	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x000	LPTIM_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOK	UE	DOWN <sup>(1)</sup>	UP <sup>(1)</sup>	ARROK	CMPOK	EXTTRIG	ARRM	CMPM								
	Reset value																								0	0	0	0	0	0	0	0	0	
0x004	LPTIM_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOKCF	UECF	DOWNCF <sup>(1)</sup>	UPCF <sup>(1)</sup>	ARROKCF	CMPOKCF	EXTTRIGCF	ARRMCF	CMPMCF								
	Reset value																								0	0	0	0	0	0	0	0	0	
0x008	LPTIM_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REPOKIE	UEIE	DOWNIE <sup>(1)</sup>	UPIE <sup>(1)</sup>	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE								
	Reset value																								0	0	0	0	0	0	0	0	0	
0x00C	LPTIM_CFGR	Res.	ENC <sup>(1)</sup>	COUNTMODE	PRELOAD	WAVPOL	WAVE	TIMOUT	TRIGEN	Res.	TRIGSEL[2:0]	Res.	REPOKIE	TRGFLT	Res.	CKFLT	CKPOL	CKSEL																
	Reset value								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	LPTIM_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
	Reset value																												0	0	0	0	0	0
0x014	LPTIM_CMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
	Reset value																																	
0x018	LPTIM_ARR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
	Reset value																																	1
0x01C	LPTIM_CNT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
	Reset value																																	
0x020	LPTIM1_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.								
	Reset value																																0	0
0x020	LPTIM2_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.							
	Reset value																																	
0x020	LPTIM3_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.							
	Reset value																																0	0
0x028	LPTIM_RCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.							
	Reset value																																	

<sup>1</sup> Если LPTIM не поддерживает функцию режима кодировщика, этот бит зарезервирован.