

6 Регулятор мощности (PWR)

6.1 Источники питания

...

•VREF-, VREF+

VREF+ — входное опорное напряжение для АЦП и ЦАП. Это также выход внутреннего буфера эталонного напряжения, когда он включен.

Когда $VDDA < 2$ В, VREF+ должно быть равно VDDA.

Когда $VDDA \geq 2$ В, VREF+ должно быть между 2 В и VDDA.

VREF+ можно заземлить, когда АЦП и ЦАП не активны.

Внутренний буфер опорного напряжения поддерживает три выходных напряжения, которые настраиваются битом VRS в регистре VREFBUF_CSR:

– VREF+ около 2,048 В. Для этого требуется напряжение VDDA, равное или превышающее 2,4 В.

– VREF+ около 2,5 В. Для этого требуется напряжение VDDA, равное или превышающее 2,8 В.

– VREF+ около 2,9 В. Для этого требуется напряжение VDDA, равное или превышающее 3,135 В.

Выход VREF+ доступен не во всех комплектациях. Если его нет на упаковке, он связан с VDDA. Когда VREF+ соединен двойным соединением с VDDA в корпусе, внутренний буфер эталонного напряжения (VREFBUF) недоступен и должен оставаться отключенным (описание выводов корпуса см. в техническом описании соответствующего устройства).

VREF-внутренне двойная связь с VSSA.

Встроенный линейный стабилизатор напряжения используется для питания внутреннего цифрового питания VCORE.

VCORE — это источник питания для цифровых периферийных устройств SRAM1, SRAM2 и CCM SRAM. Флэш поставляется VCORE и VDD.

Настройте буфер внутреннего опорного напряжения (VREFBUF).

TrimmingValue указывает код обрезки для калибровки VREFBUF.

Этот параметр может быть числом от Min_Data = 0x00 до Max_Data = 0x3F.

Эти биты обеспечивают дополнительное программируемое пользователем значение обрезки, которое добавляется к битам HSICAL[7:0]. Его можно запрограммировать на адаптацию к колебаниям напряжения и температуры, влияющим на частоту HSI16.

Значение по умолчанию — 64, которое при добавлении к значению HSICAL должно обрезать HSI16 до 16 МГц ± 1 %.

23 Буфер опорного напряжения (VREFBUF)

23.1 Введение

В устройства встроен буфер опорного напряжения, который можно использовать в качестве опорного напряжения для АЦП, ЦАП, а также в качестве опорного напряжения для внешних компонентов через вывод VREF+. Когда вывод VREF+ соединен двойным соединением с выводом VDDA в корпусе, буфер эталонного напряжения недоступен и должен быть отключен (см. техническое описание для описания выводов корпуса).

23.2 Функциональное описание VREFBUF

Внутренний буфер опорного напряжения поддерживает три напряжения^(a), которые конфигурируются битами VRS в регистре VREFBUF_CSR:

- VRS = 00: около 2,048 В.
- VRS = 01: около 2,5 В.
- VRS = 10: около 2,90 В.

Внутреннее опорное напряжение можно настроить в четырех различных режимах в зависимости от конфигурации битов ENVR и HIZ. Эти режимы представлены в таблице ниже:

Таблица 194. Режимы буфера VREF

ENVR	HIZ	Конфигурация буфера VREF
0	0	Режим отключения буфера VREFBUF: – вывод VREF+ подтянут к VSSA
0	1	Режим внешнего опорного напряжения (значение по умолчанию): – Буфер VREFBUF выключен – Режим ввода вывода VREF+
1	0	Режим внутреннего опорного напряжения: – Буфер VREFBUF включен – Контакт VREF+, подключенный к выходу буфера VREFBUF
1	1	Режим удержания: – VREF включен без выходного буфера, напряжение на выводе VREF+ удерживается внешним конденсатором – Обнаружение VRR отключено, и бит VRR остается в последнем состоянии.

После включения VREFBUF путем установки бита ENVR и очистки бита HIZ в регистре VREFBUF_CSR пользователь должен дождаться установки бита VRR, что означает, что выходное опорное напряжение достигло ожидаемого значения.

^(a) Минимальное напряжение VDDA зависит от настройки VRS, см. техническое описание изделия.

23.3 Обрезка VREFBUF

Выходное напряжение VREFBUF откалибровано на заводе ST. При сбросе и при каждом изменении настройки VRS данные калибровки автоматически загружаются в регистр TRIM.

При желании пользователь может подстроить выходное напряжение, напрямую изменив биты регистра TRIM. В этом случае настройка VRS больше не влияет на регистр TRIM, пока устройство не будет сброшено.

23.4 Регистры VREFBUF

23.4.1 Регистр управления и состояния VREFBUF (VREFBUF_CSR)

Смещение адреса: 0x00

Значение сброса: 0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRS[1:0]		VRR	Res.	HIZ	ENVR
										rw	rw	r		rw	rw

Биты 31:6 Зарезервированы, должны быть сохранены в значении сброса.

Биты 5:4 **VRS[1:0]**: Масштаб опорного напряжения

Эти биты выбирают значение, генерируемое буфером опорного напряжения.

00: Опорное напряжение установлено на 2,048 В.

01: Опорное напряжение установлено на 2,5 В.

10: Опорное напряжение установлено на 2,90 В.

11: зарезервировано

Примечание. Программное обеспечение может запрограммировать это битовое поле, только если VREFBUF отключен (ENVR=0).

Бит 3 **VRR**: буфер опорного напряжения готов

0: выход буфера эталонного напряжения не готов.

1: выход буфера эталонного напряжения достиг требуемого уровня.

Бит 2 Зарезервирован, должен быть установлен на значение сброса.

Бит 1 **HIZ**: режим высокого импеданса

Этот бит управляет аналоговым переключателем для подключения или отключения контакта VREF+.

0: вывод VREF+ внутренне подключен к выходу буфера опорного напряжения.

1: контакт VREF+ имеет высокий импеданс.

См. Таблицу 194: Режимы буфера VREF для описания режима в зависимости от битовой конфигурации ENVR.

Бит 0 **ENVR**: включен режим буфера опорного напряжения

Этот бит используется для включения режима буфера опорного напряжения.

0: Режим внутреннего опорного напряжения отключен (режим внешнего опорного напряжения).

1: Режим внутреннего опорного напряжения (включение опорного буфера или режим удержания) включен.

23.4.2 Регистр управления калибровкой VREFBUF (VREFBUF_CCR)

Смещение адреса: 0x04

Значение сброса: 0x0000 00XX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]					
										rw	rw	rw	rw	rw	rw

Биты 31:6 Зарезервированы, должны быть сохранены в значении сброса.

Биты 5:0 **TRIM[5:0]**: Код обрезки

Код TRIM представляет собой 6-битные данные без знака (минимум 000000, максимум 11111), которые устанавливаются и обновляются в соответствии с механизмом, описанным ниже.

Reset:

TRIM[5:0] автоматически инициализируется со значением подстройки VRS = 0, хранящимся во флэш-памяти во время производственного теста.

VRS change:

TRIM[5:0] автоматически инициализируется значением обрезки (соответствующим настройке VRS), сохраненным во флэш-памяти во время производственного испытания.

Write in TRIM[5:0]:

Пользователь может изменить TRIM[5:0] с произвольным значением. Это постоянно отключает управление значением подстройки с помощью VRS (до тех пор, пока устройство не будет сброшено).

Примечание. Если пользовательское приложение выполняет обрезку, код обрезки должен начинаться с 000000 до 11111 в порядке возрастания.