

21 Аналого-цифровые преобразователи (АЦП)

21.1 Введение

В этом разделе описывается реализация до 5 АЦП:

- АЦП1 и АЦП2 тесно связаны и могут работать в двойном режиме (АЦП1 является ведущим).

- ADC3 и ADC4 тесно связаны и могут работать в двойном режиме (ADC3 является ведущим).

- ADC5 управляется независимо.

Каждый АЦП состоит из 12-разрядного аналого-цифрового преобразователя последовательного приближения.

Каждый АЦП имеет до 19 мультиплексированных каналов. Аналого-цифровое преобразование различных каналов может выполняться в одиночном, непрерывном, сканирующем или прерывистом режиме. Результат АЦП сохраняется в 16-разрядном регистре данных с выравниванием по левому или правому краю.

АЦП подключены к шине АНВ, чтобы обеспечить быструю обработку данных.

Функции аналогового сторожевого таймера позволяют приложению обнаруживать, выходит ли входное напряжение за установленные пользователем верхние или нижние пороговые значения.

Встроенный аппаратный передискретизатор позволяет улучшить аналоговую производительность, сняв соответствующую вычислительную нагрузку с центрального процессора.

Реализован эффективный режим низкого энергопотребления, обеспечивающий очень низкое потребление на низкой частоте.

21.2 Основные характеристики АЦП

- Высокопроизводительные функции

- До 5 АЦП, из которых четыре (попарно) могут работать в вдвоенном режиме:
 - ADC1 подключен к 14 внешним каналам + 4 внутренним каналам
 - ADC2 подключен к 16 внешним каналам + 2 внутренним каналам
 - ADC3 подключен к 15 внешним каналам + 3 внутренним каналам
 - ADC4 подключен к 16 внешним каналам + 2 внутренним каналам
 - ADC5 подключен к 13 внешним каналам + 5 внутренним каналам
- 12, 10, 8 или 6-битное настраиваемое разрешение
- Время преобразования АЦП не зависит от тактовой частоты шины АНВ
- Более быстрое время преобразования за счет снижения разрешения
- Управление несимметричными или дифференциальными входами
- Интерфейс подчиненной шины АНВ для быстрой обработки данных
- Самокалибровка
- Канальное программируемое время выборки
- Гибкий контроль времени выборки
- До четырех инжектированных каналов (назначение аналоговых входов регулярным или инжектированным каналам полностью настраивается)
 - Аппаратный помощник для подготовки контекста инжектированных каналов, чтобы обеспечить быстрое переключение контекста
 - Согласование данных со встроенной согласованностью данных
 - Данные могут управляться DMA для регулярных преобразований каналов

- 4 выделенных регистра данных для инжектированных каналов
- Оверсемплер
- 16-битный регистр данных
- Коэффициент передискретизации регулируется от 2 до 256
- Программируемый сдвиг данных до 8 бит
- Предварительная обработка данных
- Компенсация усиления
- Компенсация смещения
- Маломощные функции
- Адаптивный по скорости режим пониженного энергопотребления для снижения потребления АЦП при работе на низкой частоте
 - Позволяет использовать медленную частоту шины, сохраняя при этом оптимальную производительность АЦП
 - Обеспечивает автоматическое управление, чтобы избежать перегрузки АЦП в приложении с низкой тактовой частотой шины АНВ (режим с автоматической задержкой).
- Количество внешних аналоговых входных каналов на АЦП
 - До 5 быстрых каналов от контактных площадок GPIO
 - До 13 медленных каналов от контактных площадок GPIO
- Кроме того, имеется несколько внутренних выделенных каналов
 - Внутреннее опорное напряжение (VREFINT), подключенное к ADC1, 3, 4 и 5.
 - Датчик внутренней температуры (VTS), подключенный к ADC1 и 5
 - Канал контроля VBAT (VBAT/3), подключенный к ADC1, 3 (для категории 3 только устройства) и 5
 - Внутренний выход OPAMP1, подключенный к ADC1
 - Внутренние выходы OPAMP2 и OPAMP3, подключенные к ADC2
 - Внутренний выход OPAMP3, подключенный к ADC3
 - Внутренний выход OPAMP6 подключен к ADC4 (для устройств категории 3) или ADC3 (для устройств категории 4)
 - Внутренние выходы OPAMP4 и OPAMP5, подключенные к ADC5
- Начало преобразования может быть инициировано:
 - Программным обеспечением как для регулярных, так и для инжектированных преобразований
 - С помощью аппаратных триггеров с настраиваемой полярностью (события внутренних таймеров или события входа GPIO) как для регулярных, так и для инжектированных преобразований
- Режимы преобразования
 - Каждый АЦП может преобразовывать один канал или может сканировать последовательность каналов
 - Одиночный режим преобразует выбранные входы один раз для каждого триггера
 - Непрерывный режим непрерывно преобразует выбранные входные данные
 - Прерывистый режим
 - Двойной режим АЦП для АЦП1, АЦП2, АЦП3 и АЦП4
 - Генерация прерывания при готовности АЦП, конец выборки, конец преобразования (регулярное или инжектированное), конец преобразования последова-

21.3 Реализация АЦП

Табл. 158. Функции АЦП

Режимы/функции АЦП	ADC1	ADC2	ADC3	ADC4	ADC5
Двойной режим	X (coupled together)		X (вместе)		-

21.4 Функциональное описание АЦП

21.4.1 Блок-схема АЦП

На рис. 82 показана блок-схема АЦП, а в табл. 160 приведено описание выводов АЦП.

21.4.2 Выводы АЦП и внутренние сигналы

Табл. 159. Внутренние входные/выходные сигналы АЦП

Имя внутреннего сигнала	Тип сигнала	Описание
adc_ext_trg[31:0]	Inputs	До 32 внешних триггерных входов для регулярных преобразований (могут быть подключены к встроенным таймерам). Эти входы совместно используются ведущим и ведомым АЦП.
adc_jext_trg[31:0]	Inputs	До 31 внешнего триггерного входа для инжектированных преобразований (могут быть подключены к встроенным таймерам). Эти входы совместно используются ведущим и ведомым АЦП.
adc_awdx_out	Output	Внутренний аналоговый выходной сигнал сторожевого устройства, подключенный к встроенным таймерам (x = номер аналогового сторожевого устройства 1,2,3)
adc_ker_ck	Output	Часы ядра АЦП
adc_hclk	Input	Периферийные часы АЦП
adc_it	Output	прерывание АЦП
adc_dma	Output	Запрос прямого доступа к памяти АЦП
VTS	Input	Выходное напряжение от внутреннего датчика температуры
VREFINT	Input	Выходное напряжение от внутреннего опорного напряжения
VBAT	Input supply	Питание от внешнего аккумулятора

Табл. 160. Контакты ввода/вывода АЦП

Название вывода	Тип сигнала	Комментарии
VREF+	Вход, аналоговый опорный положительный	Верхнее/положительное опорное напряжение для АЦП
VDDA	Вход, аналоговое питание	Аналоговый источник питания равен VDDA

VREF-	Вход, аналоговый опорный отрицательный	Нижнее/отрицательное опорное напряжение для АЦП. VREF-внутренне подключен к VSSA
VSSA	Вход, заземление аналогового питания	Земля для аналогового питания. В пакетах устройств, которые не имеют выделенного контакта VSSA, VSSA внутренне подключен к VSS.
VINP _i	Положительные аналоговые входные каналы для каждого АЦП	Подключается либо к внешним каналам ADCx_INP _i , либо к внутренним каналам. Этот вход переводит в несимметричный режим
VINN _i	Отрицательные аналоговые входные каналы для каждого АЦП	Подключается либо к VREF _i , либо к внешним каналам: ADCx_INN _i и ADCx_INP _[i+1] .
ADCx_INN _i	Отрицательные внешние аналоговые входные сигналы	До 19 аналоговых входных каналов (x = номер АЦП = 1, 2, 3, 4 или 5). См. Раздел 21.4.4: Подключение АЦП1/2/3/4/5 для получения подробной информации.
ADCx_INP _i	Положительные внешние аналоговые входные сигналы	До 19 аналоговых входных каналов (x = номер АЦП = 1, 2, 3, 4 или 5). См. Раздел 21.4.4: Подключение АЦП1/2/3/4/5 для получения подробной информации.

21.4.3 Тактирование АЦП

Архитектура домена с двумя часами

Архитектура с двумя тактовыми доменами означает, что тактовый сигнал АЦП не зависит от тактового сигнала шины АНВ.

Входной тактовый сигнал одинаков для всех АЦП и может быть выбран из двух разных источников тактового сигнала (см. Рисунок 83: Схема тактового сигнала АЦП):

1. Тактовый сигнал АЦП может быть определенным источником тактового сигнала, полученным из следующих источников тактового сигнала:

- системные часы
- PLL «P» часы

Обратитесь к разделу RCC для получения дополнительной информации о том, как генерировать выделенные часы АЦП. Для выбора этой схемы необходимо сбросить биты SKMODE[1:0] регистра ADCx_CCR.

2. Тактовая частота АЦП может быть получена из тактовой частоты АНВ интерфейса шины АЦП, разделенной на программируемый коэффициент (1, 2 или 4). В этом режиме можно выбрать программируемый коэффициент делителя (/1, 2 или 4 в соответствии с битами SKMODE[1:0]).

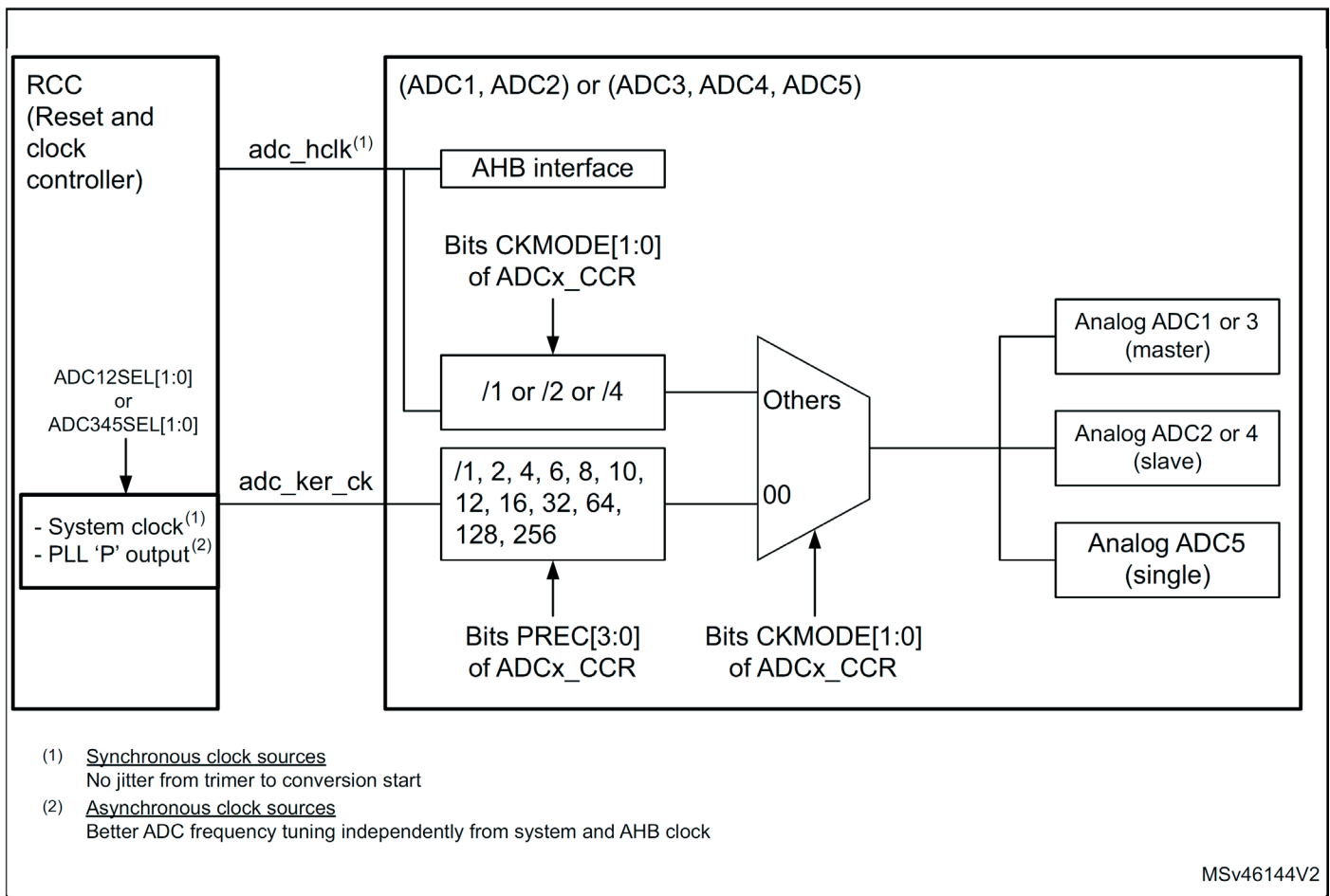
Для выбора этой схемы биты SKMODE[1:0] регистра ADCx_CCR должны быть отличны от 00.

Примечание. Для варианта 2 коэффициент предварительного масштабирования, равный 1 (SKMODE[1:0] = 01), можно использовать, только если установлен предделитель АНВ (HPRE[3:0] = 0xxx в регистре RCC_CFGR).

Вариант 1) имеет преимущество достижения максимальной тактовой частоты АЦП независимо от выбранной схемы тактирования АНВ. Тактовая частота АЦП в конечном итоге может быть разделена следующим соотношением: 1, 2, 4, 6, 8, 12, 16, 32, 64, 128, 256; используя предварительный делитель, сконфигурированный с помощью битов PRESC[3:0] в регистре ADCx_CCR.

Вариант 2) имеет то преимущество, что позволяет обойти ресинхронизацию часового домена. Это может быть полезно, когда АЦП запускается таймером и если приложение требует точного запуска АЦП без какой-либо неопределенности (в противном случае неопределенность момента запуска добавляется повторной синхронизацией между двумя тактовыми доменами).

Рисунок 83. Схема тактирования АЦП



Ограничение соотношения часов между часами АЦП и часами АНВ

Как правило, нет никаких ограничений, которые должны соблюдаться для соотношения между тактовым сигналом АЦП и тактовым сигналом АНВ, за исключением случаев, когда запрограммированы некоторые инжектированные каналы. При этом обязательно соблюдение следующего соотношения:

- $F_{adc_hclk} \geq F_{ADC}/4$, если разрешение всех каналов 12-битное или 10-битное
- $F_{adc_hclk} \geq F_{ADC}/3$, если есть несколько каналов с разрешением, равным 8 битам (и ни одного с меньшим разрешением)
- $F_{adc_hclk} \geq F_{ADC}/2$, если есть некоторые каналы с разрешением, равным 6 битам

21.4.4 Возможность подключения АЦП1/2/3/4/5

АЦП1, АЦП2, АЦП3, АЦП4 и АЦП5 тесно связаны и совместно используют некоторые внешние каналы, как показано на рисунках ниже.

ADCy_INPx соответствуют контактам ADCy_INx, определенным в техническом описании продукта.

Рис. 84. Подключение АЦП1

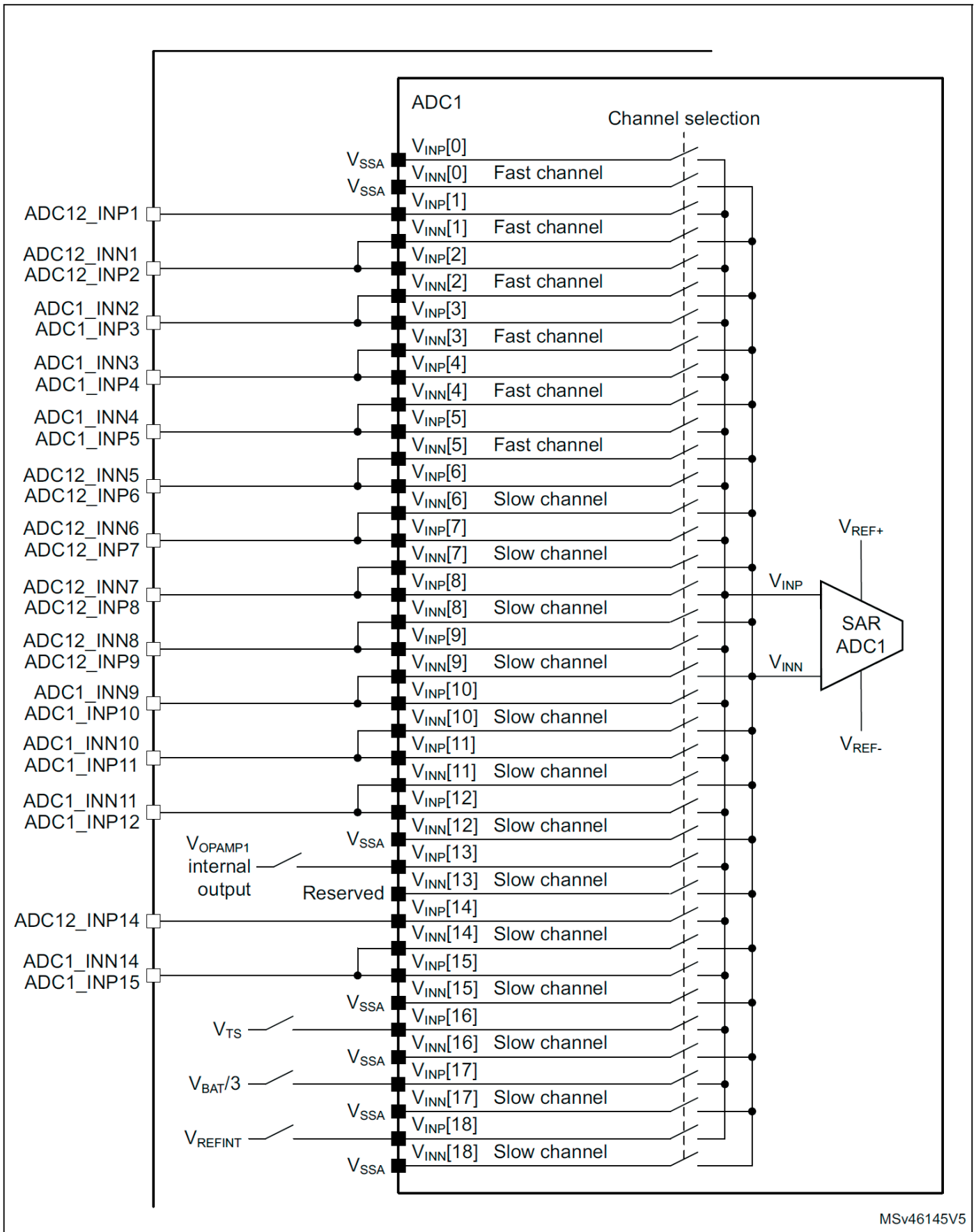
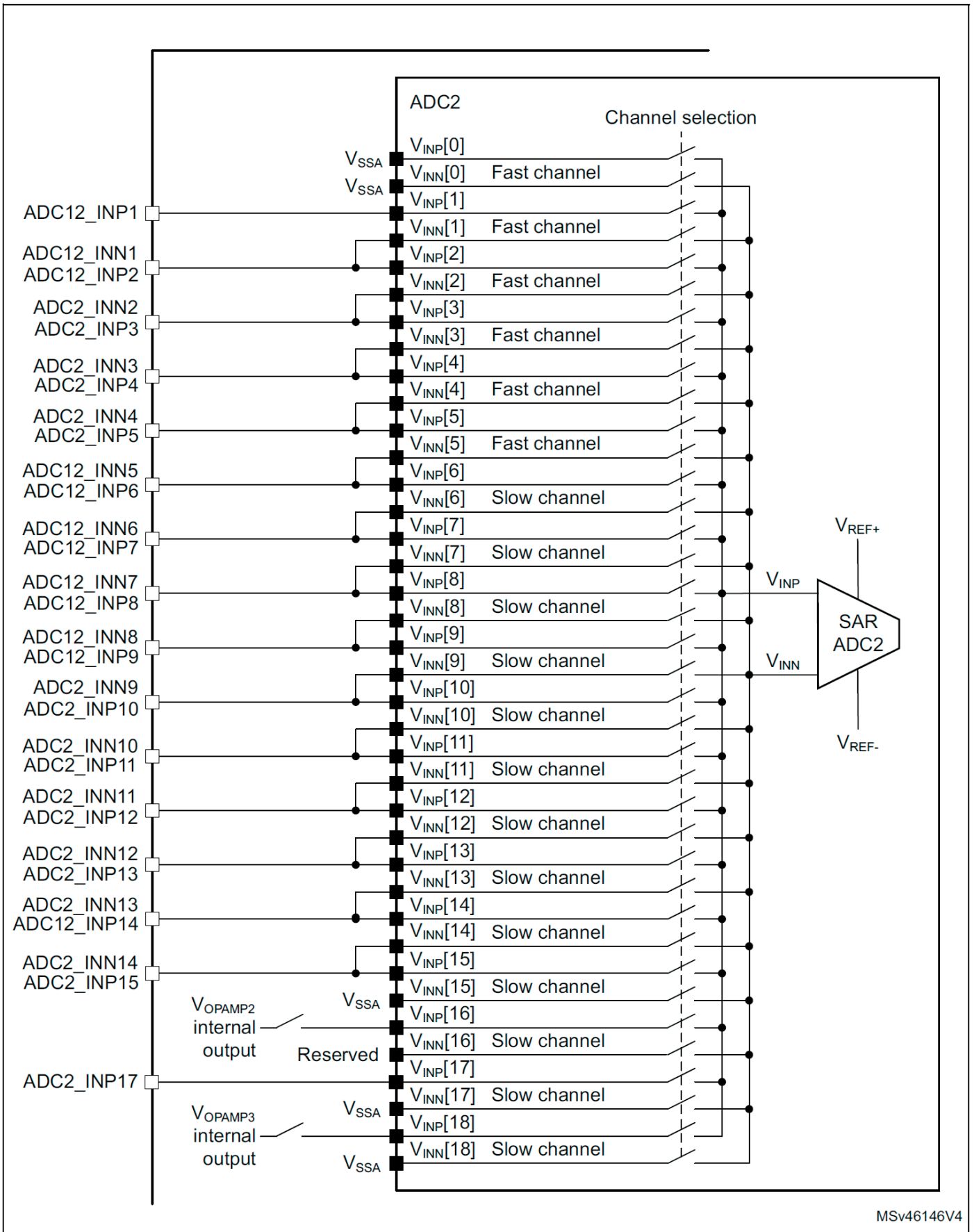


Рис. 85. Подключение АЦП2



21.4.5 Интерфейс подчиненного АНВ

АЦП реализуют ведомый порт АНВ для управления/регистра состояния и доступа к данным. Особенности интерфейса АНВ перечислены ниже:

- Доступ к Word (32-разрядный)
- Отклик за один цикл
- Ответ на все обращения чтения/записи к регистрам с нулевыми состояниями ожидания.

Интерфейс подчиненного устройства АНВ не поддерживает запросы разделения/повторения и никогда не генерирует ошибки АНВ.

21.4.6 Режим глубокого отключения АЦП (DEEPPWD) и регулятор напряжения АЦП (ADVREGEN)

По умолчанию АЦП находится в режиме глубокого отключения питания, когда его питание внутренне отключено для уменьшения токов утечки (состояние сброса бита DEEPPWD равно 1 в регистре ADC_CR).

Чтобы запустить операции АЦП, выполните следующую последовательность:

1. Выйдите из режима глубокого отключения питания, очистив бит DEEPPWD.
2. Включите регулятор напряжения АЦП, установив ADVREGEN.
3. Дождитесь времени запуска, чтобы настроить АЦП (значение времени запуска см. в описании устройства).

Когда операции АЦП завершены, АЦП можно отключить (ADEN = 0). Также можно сэкономить электроэнергию, отключив регулятор напряжения АЦП. Это делается записью бита ADVREGEN = 0.

Затем, чтобы сэкономить больше энергии за счет уменьшения токов утечки, также можно повторно войти в режим глубокого отключения питания АЦП, установив бит DEEPPWD = 1 в регистре ADC_CR. Это особенно интересно перед входом в режим остановки.

Примечание. Запись DEEPPWD = 1 автоматически отключает регулятор напряжения АЦП, а бит ADVREGEN автоматически сбрасывается.

Когда внутренний регулятор напряжения отключен (ADVREGEN = 0), внутренняя аналоговая калибровка сохраняется.

В режиме глубокого отключения АЦП (DEEPPWD = 1) внутренняя аналоговая калибровка теряется, и необходимо либо перезапустить калибровку, либо повторно применить ранее сохраненный калибровочный коэффициент (см. Раздел 21.4.8: Калибровка (ADCAL, ADCALDIF, ADC_CALFACT)).

21.4.7 Несимметричные и дифференциальные входные каналы

Каналы могут быть сконфигурированы как с несимметричным входом, так и с дифференциальным вводом, путем программирования битов DIFSEL[i] в регистре ADC_DIFSEL. Эта конфигурация должна быть записана при отключенном АЦП (ADEN = 0). Обратите внимание, что биты DIFSEL[i], соответствующие несимметричным каналам, всегда запрограммированы на 0.

В режиме несимметричного входа аналоговое напряжение, которое необходимо преобразовать для канала «i», представляет собой разницу между внешним напряжением ADCy_INPx, равным VINP[i] (положительный вход) и VREF- (отрицательный вход).

В режиме дифференциального входа аналоговое напряжение, которое необходимо преобразовать для канала «i», представляет собой разницу между положительным входом внешнего напряжения $ADCy_INPx$, равным $VINP[i]$, и отрицательным входом $ADCy_INNx$, равным $VINN[i]$.

Входное напряжение в дифференциальном режиме находится в диапазоне от $VREF-$ до $VREF+$, что составляет полный диапазон $2 \times VREF+$. Когда $VINP[i]$ равен $VREF-$, $VINN[i]$ равен $VREF+$, а максимальное отрицательное входное дифференциальное напряжение ($VREF-$) соответствует выходному сигналу АЦП $0x000$. Когда $VINP[i]$ равен $VREF+$, $VINN[i]$ равен $VREF-$, а максимальное положительное входное дифференциальное напряжение ($VREF+$) соответствует выходному сигналу АЦП $0xFF$. Когда $VINP[i]$ и $VINN[i]$ соединены вместе, нулевое входное дифференциальное напряжение соответствует выходному сигналу АЦП $0x800$.

Чувствительность АЦП в дифференциальном режиме вдвое меньше, чем в несимметричном.

Когда АЦП настроен на дифференциальный режим, оба входа должны быть смещены при напряжении $(VREF+)/2$. Допустимое синфазное входное напряжение $VCMIN$ см. в техническом описании устройства.

Входные сигналы должны быть дифференциальными (синфазное напряжение должно быть фиксированным).

Внутренние каналы (такие как VTS и $VREFINT$) используются только в несимметричном режиме.

Полное описание подключения входных каналов для каждого АЦП см. в Разделе 21.4.4: Подключение АЦП1/2/3/4/5.

Внимание: При настройке канала «i» в режиме дифференциального входа его отрицательное входное напряжение $VINN[i]$ подключается к другому каналу. Как следствие, этот канал больше нельзя использовать в несимметричном режиме или в дифференциальном режиме, и его никогда не следует настраивать для преобразования. Некоторые каналы совместно используются АЦП1/АЦП2/АЦП3/АЦП4/АЦП5: это может сделать канал на другом АЦП непригодным для использования. Единственным исключением является случай, когда ведущий и ведомый АЦП работают в чередующемся режиме.

21.4.8 Калибровка (ADCAL, ADCALDIF, ADC_CALFACT)

Каждый АЦП обеспечивает процедуру автоматической калибровки, которая управляет всей последовательностью калибровки, включая последовательность включения/выключения питания АЦП. Во время процедуры АЦП вычисляет коэффициент калибровки шириной 7 бит, который применяется внутри АЦП до следующего отключения питания АЦП. Во время процедуры калибровки приложение не должно использовать АЦП и должно дождаться завершения калибровки.

Калибровка является предварительной перед любой операцией АЦП. Это устраняет ошибку смещения, которая может варьироваться от чипа к чипу из-за изменения процесса или ширины запрещенной зоны.

Коэффициент калибровки, применяемый для преобразования несимметричного входа, отличается от коэффициента, применяемого для преобразования дифференциального входа:

- Запишите $ADCALDIF = 0$ перед запуском калибровки, которая будет применяться для преобразования несимметричного входа.

- Запишите $ADCALDIF = 1$ перед запуском калибровки, которая будет применяться для преобразования дифференциального входа.

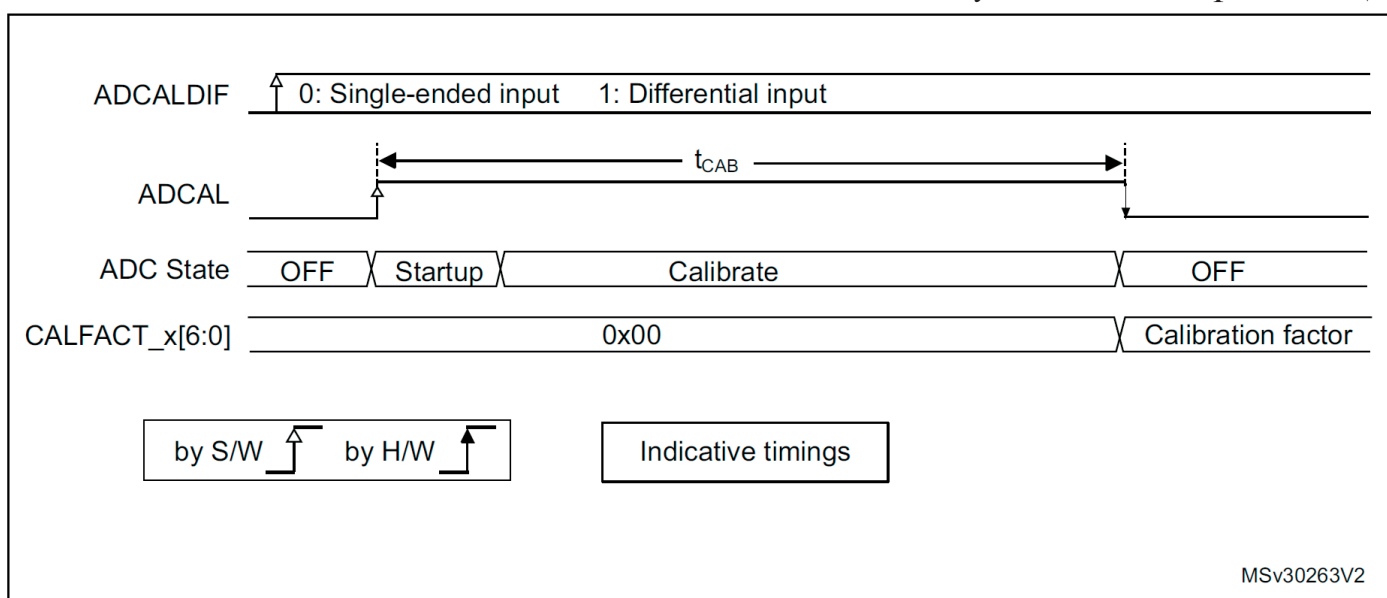
Затем калибровка инициируется программным обеспечением путем установки бита $ADCAL = 1$. Калибровка может быть запущена только тогда, когда АЦП отключен (когда $ADEN = 0$). Бит $ADCAL$ остается равным 1 в течение всей последовательности калибровки. Затем он очищается аппаратно после завершения калибровки. В это время соответствующий коэффициент калибровки сохраняется внутри аналогового АЦП, а также в битах $CALFACT_S[6:0]$ или $CALFACT_D[6:0]$ регистра $ADC_CALFACT$ (в зависимости от калибровки несимметричного или дифференциального входа).

Внутренняя аналоговая калибровка сохраняется, если АЦП отключен ($ADEN = 0$). Однако, если АЦП отключен в течение длительного времени, рекомендуется запустить новый цикл калибровки перед повторным включением АЦП.

Внутренняя аналоговая калибровка теряется каждый раз при отключении питания АЦП (например, когда продукт переходит в режим ожидания или режим VBAT). В этом случае, чтобы не тратить время на повторную калибровку АЦП, можно перезаписать калибровочный коэффициент в регистр $ADC_CALFACT$ без повторной калибровки, предполагая, что программа ранее сохранила калибровочный коэффициент, полученный во время предыдущей калибровки.

Коэффициент калибровки можно записать, если АЦП включен, но не выполняет преобразование ($ADEN = 1$ и $ADSTART = 0$ и $JADSTART = 0$). Затем при следующем запуске преобразования калибровочный коэффициент автоматически вводится в аналоговый АЦП. Эта загрузка является прозрачной и не добавляет задержки цикла к началу преобразования. Рекомендуется выполнить повторную калибровку при изменении напряжения $VREF+$ более чем на 10%.

Рисунок 89. Калибровка АЦП



Программная процедура калибровки АЦП

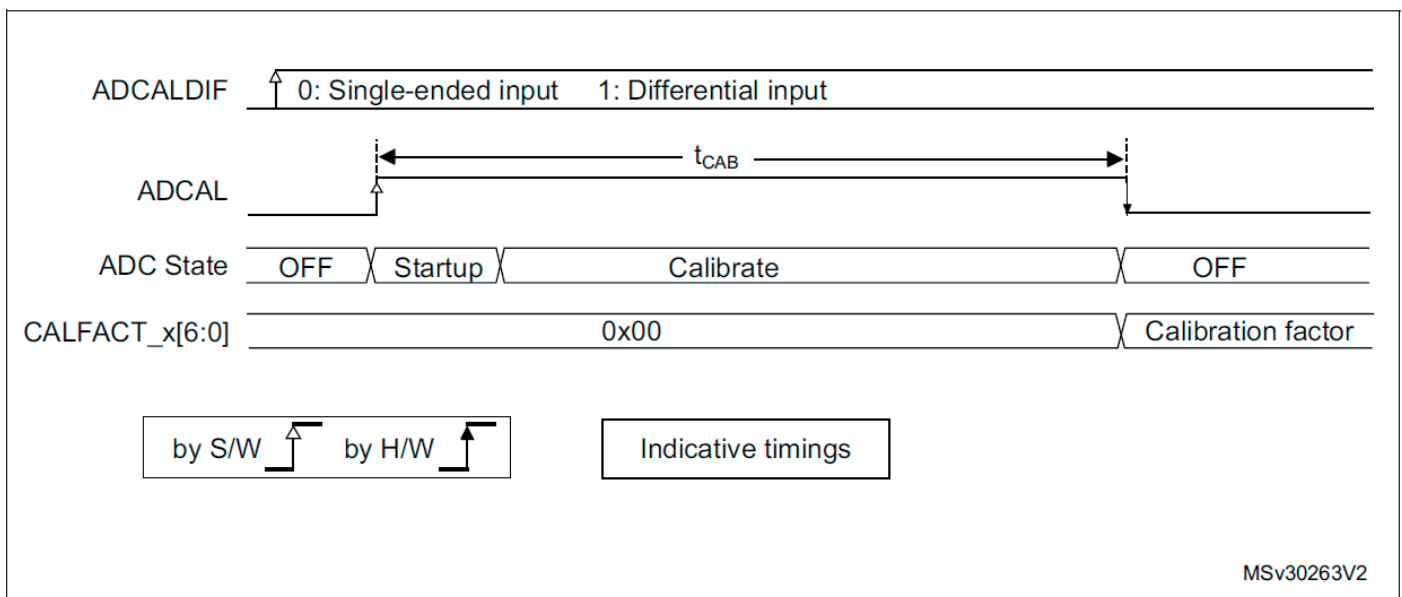
1. Убедитесь, что $DEEPPWD = 0$, $ADVREGEN = 1$ и время запуска регулятора напряжения ADC истекло.

2. Убедитесь, что $ADEN = 0$.
3. Выберите режим ввода для этой калибровки, установив $ADCALDIF = 0$ (несимметричный вход) или $ADCALDIF = 1$ (дифференциальный вход).
4. Установите АДКАЛ.
5. Подождите, пока $ADCAL = 0$.
6. Коэффициент калибровки можно считать из регистра $ADC_CALFACT$.

Программная процедура повторного ввода калибровочного коэффициента в АЦП

1. Убедитесь, что $ADEN = 1$ и $ADSTART = 0$ и $JADSTART = 0$ (ADC включен и преобразование не выполняется).
2. Запишите $CALFACT_S$ и $CALFACT_D$ с новыми калибровочными коэффициентами.
3. При запуске преобразования калибровочный коэффициент вводится в аналоговый АЦП только в том случае, если внутренний аналоговый калибровочный коэффициент отличается от сохраненного в битах $CALFACT_S$ для несимметричного входного канала или битах $CALFACT_D$ для дифференциального входного канала.

Рисунок 90. Обновление коэффициента калибровки АЦП



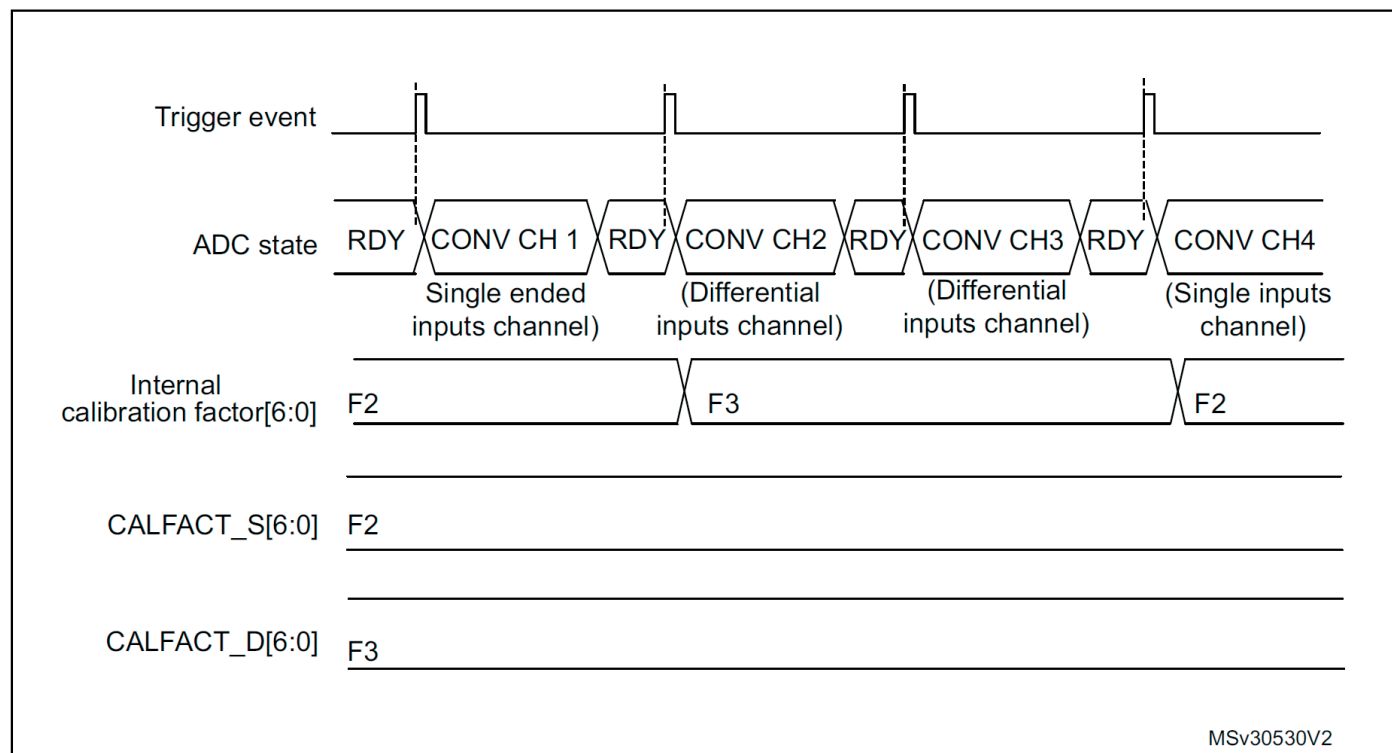
Преобразование несимметричных и дифференциальных аналоговых входов с помощью одного АЦП

Если АЦП должен преобразовывать как дифференциальные, так и несимметричные входы, необходимо выполнить две калибровки: одну с $ADCALDIF = 0$ и одну с $ADCALDIF = 1$. Процедура следующая:

1. Отключить АЦП.
2. Откалибруйте АЦП в режиме несимметричного входа (с $ADCALDIF = 0$). Это обновляет регистр $CALFACT_S[6:0]$.
3. Откалибровать АЦП в режимах дифференциального входа (при $ADCALDIF = 1$). Это обновляет регистр $CALFACT_D[6:0]$.
4. Включить АЦП, настроить каналы и запустить преобразования. Каждый раз, когда происходит переключение с несимметричного на дифферен-

циальный входной канал (и наоборот), калибровка автоматически вводится в аналоговый АЦП.

Рисунок 91. Смешивание несимметричных и дифференциальных каналов



21.4.9 Управление включением-выключением АЦП (ADEN, ADDIS, ADRDY)

Прежде всего, следуйте процедуре, описанной в разделе 21.4.6: Режим глубокого отключения АЦП (DEEPPWD) и регулятор напряжения АЦП (ADVREGEN)).

Как только DEEPPWD = 0 и ADVREGEN = 1, АЦП может быть включен, и АЦП требуется время стабилизации tSTAB, прежде чем он начнет точное преобразование, как показано на рисунке 92. Два управляющих бита включают или отключают АЦП:

- ADEN = 1 включает АЦП. Флаг ADRDY устанавливается, когда АЦП готов к работе.

- ADDIS = 1 отключает АЦП. Затем ADEN и ADDIS автоматически очищаются аппаратно, как только аналоговый АЦП эффективно отключается.

Затем можно запустить регулярное преобразование, установив ADSTART = 1 (см. Раздел 21.4.18: Преобразование по внешнему триггеру и полярности триггера (EXTSEL, EXTEN, JEXTSEL, JEXTEN)) или при возникновении события внешнего триггера, если триггеры включены.

Внедренные преобразования начинаются с установки JADSTART = 1 или когда происходит внешнее внедренное триггерное событие, если внедренные триггеры включены.

Программная процедура включения АЦП

1. Очистите бит ADRDY в регистре ADC_ISR, записав 1.
2. Установите ADEN.

3. Подождите, пока $ADRDY = 1$ ($ADRDY$ устанавливается после времени запуска ADC). Это можно сделать с помощью соответствующего прерывания (установив $ADRDYIE = 1$).

4. Очистите бит $ADRDY$ в регистре ADC_ISR , записав 1 (необязательно).

Предостережение: бит $ADEN$ не может быть установлен, когда установлен $ADCAL$ и в течение четырех тактов ADC после аппаратного сброса бита $ADCAL$ (конец калибровки).

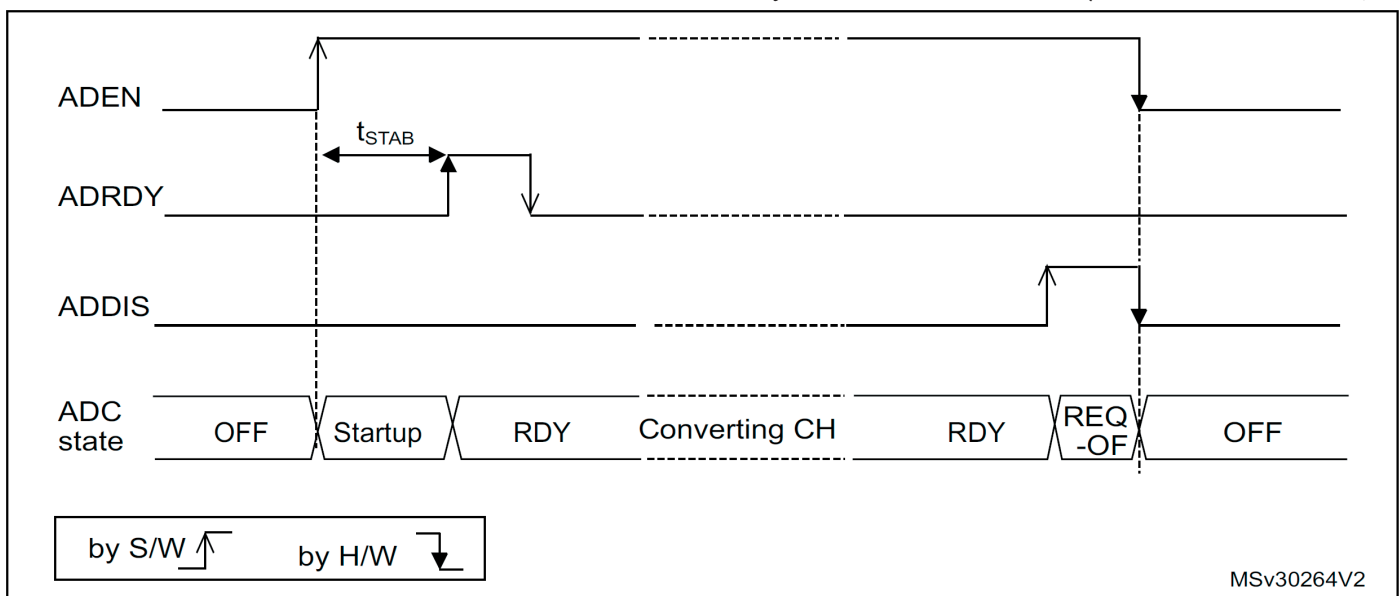
Программная процедура отключения АЦП

1. Убедитесь, что $ADSTART = 0$ и $JADSTART = 0$, чтобы убедиться, что преобразование не выполняется. При необходимости остановите любое текущее преобразование, установив $ADSTP = 1$ и $JADSTP = 1$, а затем подождите, пока $ADSTP = 0$ и $JADSTP = 0$.

2. Установите АДДИС.

3. Если этого требует приложение, подождите, пока $ADEN = 0$, пока аналоговый АЦП не будет эффективно отключен ($ADDIS$ автоматически сбрасывается, как только $ADEN = 0$).

Рисунок 92. Включение/отключение АЦП



MSv30264V2

21.4.10 Ограничения при записи битов управления АЦП

Программному обеспечению разрешено записывать управляющие биты RCC для настройки и включения часов АЦП (см. раздел RCC), управляющие биты $DIFSEL[i]$ в регистре ADC_DIFSEL и управляющие биты $ADCAL$ и $ADEN$ в регистре ADC_CR , только если ADC отключен ($ADEN$ должен быть равен 0).

Затем программе разрешается записывать управляющие биты $ADSTART$, $JADSTART$ и $ADDIS$ регистра ADC_CR только в том случае, если ADC включен и нет ожидающих запросов на отключение ADC ($ADEN$ должен быть равен 1, а $ADDIS$ равен 0).

Для всех остальных управляющих битов регистров ADC_CFGR , ADC_SMPRx , ADC_TRY , ADC_SQRY , ADC_JDRy , ADC_OFRy , ADC_OFCHRY и ADC_IER :

- Для управляющих битов, связанных с настройкой регулярных преобразований, программному обеспечению разрешается записывать их только в том случае,

если АЦП включен ($ADEN = 1$) и если регулярное преобразование не выполняется ($ADSTART$ должен быть равен 0).

- Управляющие биты, связанные с конфигурацией вводимых преобразований, программному обеспечению разрешено записывать только в том случае, если АЦП включен ($ADEN = 1$) и если не выполняется вводимое преобразование ($JADSTART$ должен быть равен 0).

- Регистры ADC_TRy можно изменять, когда выполняется аналого-цифровое преобразование (подробности см. в разделе 21.4.28: Сторожевой таймер аналогового окна ($AWD1EN$, $JAWD1EN$, $AWD1SGL$, $AWD1CH$, $AWD2CH$, $AWD3CH$, AWD_HTx , AWD_LTx , $AWDx$)).

Программному обеспечению разрешено записывать управляющие биты $ADSTP$ или $JADSTP$ регистра ADC_CR только в том случае, если АЦП включен, возможно преобразование, и если нет ожидающего запроса на отключение АЦП ($ADSTART$ или $JADSTART$ должны быть равны 1, а $ADDIS - 0$).).

Программное обеспечение может записать регистр ADC_JSQR в любое время, когда АЦП включен ($ADEN = 1$). Дополнительные сведения см. в разделе 21.7.16: Регистр инжектированной последовательности АЦП (ADC_JSQR).

Примечание. Не существует аппаратной защиты для предотвращения этих запрещенных операций записи, и поведение ADC может стать неизвестным. Чтобы выйти из этой ситуации, необходимо отключить АЦП (очистить $ADEN$, а также все биты регистра ADC_CR).

21.4.11 Выбор канала ($SQRx$, $JSQRx$)

На один АЦП приходится до 19 мультиплексированных каналов:

- До 13 медленных аналоговых входов с контактных площадок GPIO ($ADCx_INP/INN[6:18]$). В зависимости от продукта не все из них доступны на контактных площадках GPIO.

- АЦП подключаются к следующим внутренним аналоговым входам:

- Внутреннее опорное напряжение ($VREFINT$) подключено к $ADC1_INP18$, $ADC3_INP18$, $ADC4_INP18$ и $ADC5_INP18$.

- Датчик внутренней температуры (VTS) подключен к $ADC1_INP16$ и $ADC5_INP4$.

- Канал контроля $VBAT$ ($VBAT/3$) подключен к $ADC1_INP17$, $ADC3_INP17$ и $ADC5_INP17$.

Примечание. Для преобразования одного из внутренних аналоговых каналов соответствующие аналоговые источники должны быть сначала разрешены путем программирования битов $VREFEN$, $VBATSEL$ или $VSENSESEL$ в регистрах $ADCx_CCR$.

Конверсии можно разделить на две группы: регулярные и инжектированные. Группа состоит из последовательности конверсий, которые можно выполнять на любом канале и в любом порядке. Например, можно реализовать последовательность преобразования в следующем порядке: $ADCx_INP/INN3$, $ADCx_INP/INN8$, $ADCx_INP/INN2$, $ADCx_INN/INN2$, $ADCx_INP/INN0$, $ADCx_INP/INN2$, $ADCx_INP/INN2$, $ADCx_INP/INN15$.

- Регулярная группа может вмещать до 16 конверсий. Регулярные каналы и их порядок в последовательности преобразования должны быть выбраны в регистрах

ADC_SQRy. Общее количество преобразований в регулярной группе должно быть записано в битах L[3:0] в регистре ADC_SQR1.

• Инжектированная группа может вмещать до 4 преобразований. Вводимые каналы и их порядок в последовательности преобразования должны быть выбраны в регистре ADC_JSQR. Общее количество преобразований в инжектируемой группе должно быть записано в битах L[1:0] в регистре ADC_JSQR.

Регистры ADC_SQRy не должны изменяться, пока могут происходить регулярные преобразования. Для этого необходимо сначала остановить регулярные преобразования ADC, записав ADSTP = 1 (см. Раздел 21.4.17: Остановка текущего преобразования (ADSTP, JADSTP)).

Программному обеспечению разрешено изменять регистр ADC_JSQR «на лету», когда установлен параметр JADSTART (внедряемые преобразования продолжаются), только если включена контекстная очередь (JQDIS = 0 в регистре ADC_CFGR). Обратитесь к Разделу 21.4.21: Очередь контекста для внедренных преобразований.

21.4.12 Время выборки, программируемое по каналам (SMPR1, SMPR2)

Перед началом преобразования АЦП должен установить прямое соединение между измеряемым источником напряжения и встроенным конденсатором выборки АЦП. Этого времени выборки должно быть достаточно, чтобы источник входного напряжения зарядил встроенный конденсатор до уровня входного напряжения.

Каждый канал может дискретизироваться с разным временем дискретизации, которое программируется с помощью битов SMP[2:0] в регистрах ADC_SMPR1 и ADC. Таким образом, можно выбрать одно из следующих значений времени выборки:

- SMP = 000: 2,5 такта АЦП
- SMP = 001: 6,5 тактовых циклов АЦП
- SMP = 010: 12,5 тактовых циклов АЦП
- SMP = 011: 24,5 такта АЦП
- SMP = 100: 47,5 тактовых циклов АЦП
- SMP = 101: 92,5 тактовых цикла АЦП
- SMP = 110: 247,5 тактовых циклов АЦП
- SMP = 111: 640,5 тактовых циклов АЦП

Общее время преобразования рассчитывается следующим образом:

$T_{CONV} = \text{время выборки} + 12,5 \text{ тактовых циклов АЦП}$

Пример:

При $F_{adc_ker_ck} = 30 \text{ МГц}$ и времени дискретизации 2,5 такта АЦП:

$T_{CONV} = (2,5 + 12,5) \text{ тактовых циклов АЦП} = 15 \text{ тактовых циклов АЦП} = 500 \text{ нс}$

АЦП уведомляет об окончании фазы выборки, устанавливая бит состояния EOSMP (только для регулярного преобразования).

Ограничения на время выборки

Для каждого канала биты SMP[2:0] должны быть запрограммированы для соблюдения минимального времени выборки, как указано в разделе характеристик АЦП в спецификациях.

Режим выборки BULB

Когда бит BULB установлен в регистре ADC, период выборки начинается сразу после последнего преобразования ADC. Аппаратный или программный триггер запускает преобразование после того, как время выборки было запрограммировано в регистре ADC_SMPR1. Самое первое преобразование АЦП, после включения АЦП, выполняется с временем выборки, запрограммированным в битах SMP. Режим Bulb действует, начиная со второго преобразования.

Максимальное время выборки ограничено (см. раздел характеристик АЦП в техническом описании).

Режим Bulb не совместим ни с режимом непрерывного преобразования, ни с преобразованием инжектированного канала.

Когда бит BULB установлен, нельзя устанавливать бит SMPTRIG в ADC_CFGR2.

*****АЦП в микроконтроллерах STM32G4 поддерживает следующие основные режимы работы:**

- *одноканальный режим (Single Conversion mode) с однократным запуском или циклическими измерениями. В данном случае работа ведется с одним каналом;*

- *сканирующий режим (Scan mode) с однократным запуском или циклическими измерениями. В данном случае производится последовательное измерение напряжений выбранных каналов;*

- *прерывистый режим (Discontinuous mode), в котором измерения выполняются группами по внешнему сигналу.*

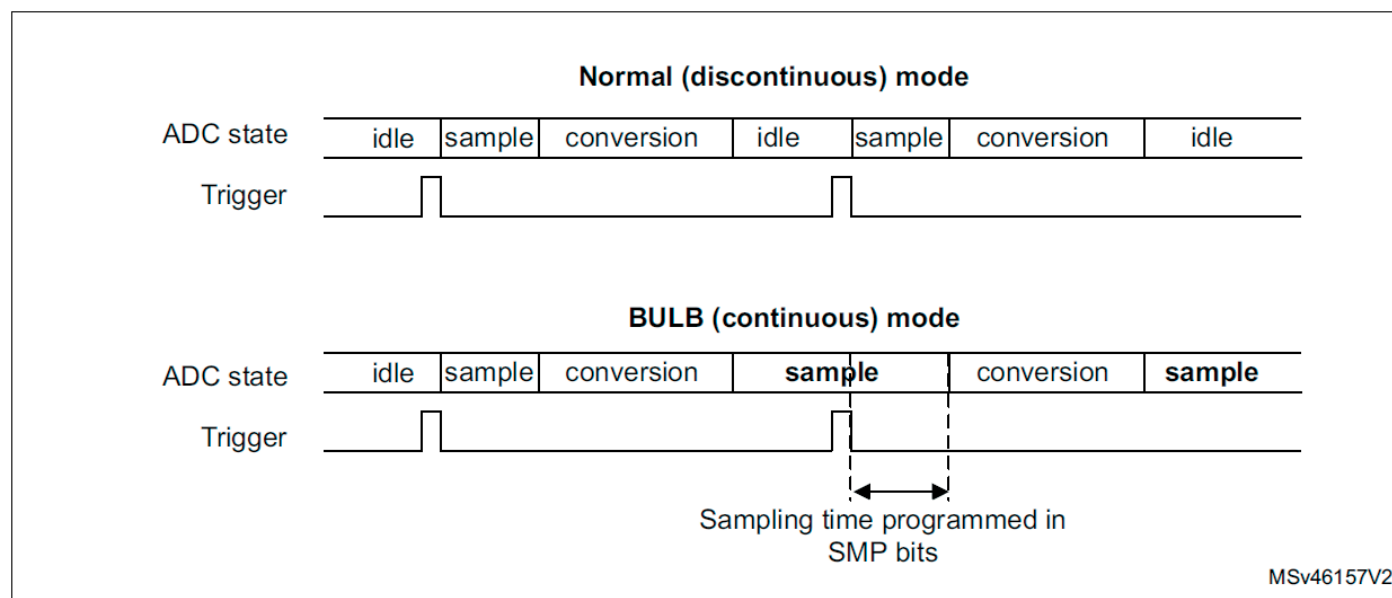
Появилось и два новых режима:

- *Bulb mode, который, в отличие от Discontinuous mode, после окончания измерений очередной группы АЦП не переходит в режим ожидания, а сразу начинает следующий цикл измерений;*

- *Sample control mode — режим с ручным управлением временем выборки. В данном случае время выборки определяется длительностью триггерного сигнала.*

(*******<https://www.compel.ru/lib/139658>)

Рисунок 93. Временная диаграмма режима Bulb



Режим запуска управления временем выборки

Когда бит SMPTRIG установлен, время выборки, запрограммированное через биты SMPx, неприменимо. Время выборки контролируется фронтом триггерного сигнала.

Когда выбран аппаратный запуск, каждый нарастающий фронт сигнала запуска запускает период выборки. Спадающий фронт завершает период выборки и запускает преобразование. Биты EXTEN[1:0] должны быть установлены на 01. Аппаратные триггеры с неопределенными нарастающими и спадающими фронтами (один импульс) не могут использоваться в режиме Bulb.

Когда выбран программный запуск, программным запуском является не бит ADSTART в ADC_CR, а бит SWTRIG. Бит SWTRIG должен быть установлен, чтобы начать период выборки, и бит SWTRIG должен быть очищен, чтобы закончить период выборки и начать преобразование. Биты EXTEN[1:0] должны быть установлены на 00.

Максимальное время выборки ограничено (см. раздел характеристик АЦП в техническом описании).

Этот режим не совместим ни с режимом непрерывного преобразования, ни с преобразованием вводимого канала.

Когда установлен бит SMPTRIG, нельзя устанавливать бит BULB.

Аналоговые переключатели ввода-вывода Бустер напряжения

Сопротивление аналоговых переключателей ввода-вывода увеличивается, когда напряжение VDDA слишком низкое. Для этого необходимо соответствующим образом адаптировать время выборки (см. технические характеристики для электрических характеристик). Это сопротивление можно минимизировать при низком VDDA, включив внутренний усилитель напряжения с помощью бита BOOSTEN в регистре SYSCFG_CFGR1.

Управляющий бит SMPPLUS

При выборе времени выборки 2,5 тактового цикла АЦП общее время преобразования становится равным 15 циклам в 12-битном режиме. Если используется режим двойного чередования (см. Раздел : Режим чередования с независимым вводом), интервал выборки не может быть равен указанному значению, поскольку для преобразования требуется четное число циклов. Бит SMPPLUS можно использовать для изменения времени выборки с 2,5 тактовых циклов АЦП на 3,5 тактовых цикла АЦП. Таким образом, общее время преобразования становится равным 16 тактовым циклам, что позволяет чередовать каждые 8 циклов.

21.4.13 Режим одиночного преобразования (CONT = 0)

В режиме одиночного преобразования АЦП выполняет однократно все преобразования каналов.

Этот режим запускается с битом CONT в 0 либо:

- Установка бита ADSTART в регистре ADC_CR (для регулярного канала)
- Установка бита JADSTART в регистре ADC_CR (для инжектированного канала)
- Событие внешнего аппаратного триггера (для регулярного или инжектированного канала).

Внутри регулярной последовательности после завершения каждого преобразования:

- Преобразованные данные сохраняются в 16-битном регистре ADC_DR
- Установлен флаг EOC (конец регулярного преобразования)
- Прерывание генерируется, если установлен бит EOCIE

Внутри инжектированной последовательности после завершения каждого преобразования:

- Преобразованные данные сохраняются в один из четырех 16-битных регистров ADC_JDRy
- Флажок JEOS (конец инжектированного преобразования) установлен
- Прерывание генерируется, если установлен бит JEOSIE

После завершения регулярной последовательности:

- Установлен флаг EOS (конец регулярной последовательности)
- Прерывание генерируется, если установлен бит EOSIE

После завершения инжектированной последовательности:

- Установлен флаг JEOS (конец инжектированной последовательности)
- Прерывание генерируется, если бит JEOSIE установлен

Затем АЦП останавливается до тех пор, пока не появится новый внешний регулярный или инжектированный триггер или пока снова не будет установлен бит ADSTART или JADSTART.

Примечание: Чтобы преобразовать один канал, запрограммируйте последовательность длиной 1.

21.4.14 Режим непрерывного преобразования (CONT = 1)

Этот режим применяется только к регулярным каналам.

В режиме непрерывного преобразования, когда происходит событие регулярного запуска программного или аппаратного обеспечения, АЦП выполняет один раз все регулярные преобразования каналов, а затем автоматически перезапускается и непрерывно преобразует каждое преобразование последовательности. Этот режим запускается с битом CONT в 1 либо внешним триггером, либо установкой бита ADSTART в регистре ADC_CR.

Внутри регулярной последовательности после завершения каждого преобразования:

- Преобразованные данные сохраняются в 16-битном регистре ADC_DR
- Флажок EOC (конец преобразования) установлен
- Прерывание генерируется, если установлен бит EOCIE

После завершения последовательности преобразований:

- Установлен флаг EOS (конец последовательности)
- Прерывание генерируется, если установлен бит EOSIE

Затем немедленно перезапускается новая последовательность, и АЦП непрерывно повторяет последовательность преобразования.

Примечание: Чтобы преобразовать один канал, запрограммируйте последовательность длиной 1.

Невозможно включить одновременно прерывистый и непрерывный режимы: запрещается устанавливать одновременно DISCEN = 1 и CONT = 1.

Инжектированные каналы не могут быть преобразованы непрерывно. Единственным исключением является случай, когда инжектированный канал настроен на автоматическое преобразование после регулярных каналов в непрерывном режиме (с использованием бита JAUTO), см. раздел «Режим автоматического ввода»).

21.4.15 Запуск преобразований (ADSTART, JADSTART)

Программное обеспечение запускает регулярные преобразования АЦП, устанавливая ADSTART = 1.

Когда ADSTART установлен, преобразование начинается:

- Немедленно: если EXTEN[1:0] = 00 (программный триггер)
- На следующем активном фронте выбранного регулярного аппаратного триггера: если EXTEN[1:0] не равно 00

Программное обеспечение запускает преобразование с помощью АЦП, устанавливая JADSTART = 1.

Когда JADSTART установлен, преобразование начинается:

- Немедленно, если JEXTEN[1:0] = 00 (программный триггер)
- На следующем активном фронте выбранного аппаратного триггера: если JEXTEN[1:0] не равно 00

Примечание. В режиме автовставки (JAUTO = 1) используйте бит ADSTART для запуска регулярных преобразований, за которыми следуют преобразования с автоматическим вводом (JADSTART должен быть очищен).

ADSTART и JADSTART также предоставляют информацию о том, выполняется ли в данный момент какая-либо операция ADC. Можно перенастроить АЦП, пока ADSTART = 0 и JADSTART = 0 оба верны, указывая на то, что АЦП бездействует.

ADSTART очищается аппаратно:

- В одиночном режиме с программным регулярным триггером (CONT=0, EXTSEL=0x0)
 - В любом конце регулярной последовательности преобразования (утверждение EOS) или в любом конце обработки подгруппы, если DISCEN = 1
- Во всех случаях (CONT=x, EXTSEL=x)
 - После выполнения процедуры ADSTP, установленной программным обеспечением.

Примечание. В непрерывном режиме (CONT = 1) ADSTART не сбрасывается аппаратно при подтверждении EOS, поскольку последовательность автоматически перезапускается.

Когда аппаратный триггер выбран в одиночном режиме (CONT = 0 и EXTSEL≠0x00), ADSTART не сбрасывается аппаратно с подтверждением EOS, чтобы помочь программному обеспечению, которому не нужно снова сбрасывать ADSTART для следующего события аппаратного триггера. Это гарантирует, что никакие дальнейшие аппаратные триггеры не будут пропущены.

JADSTART очищается аппаратно:

- В одиночном режиме с программным запуском (JEXTSEL = 0x0)
 - В любом конце инжектированной последовательности преобразования (утверждение JEOS) или в любом конце обработки подгруппы, если JDISCEN = 1
- во всех случаях (JEXTSEL=x)

– После выполнения процедуры JADSTP, установленной программным обеспечением.

Примечание. Если выбран программный триггер, бит ADSTART не следует устанавливать, если флаг EOS все еще высокий.

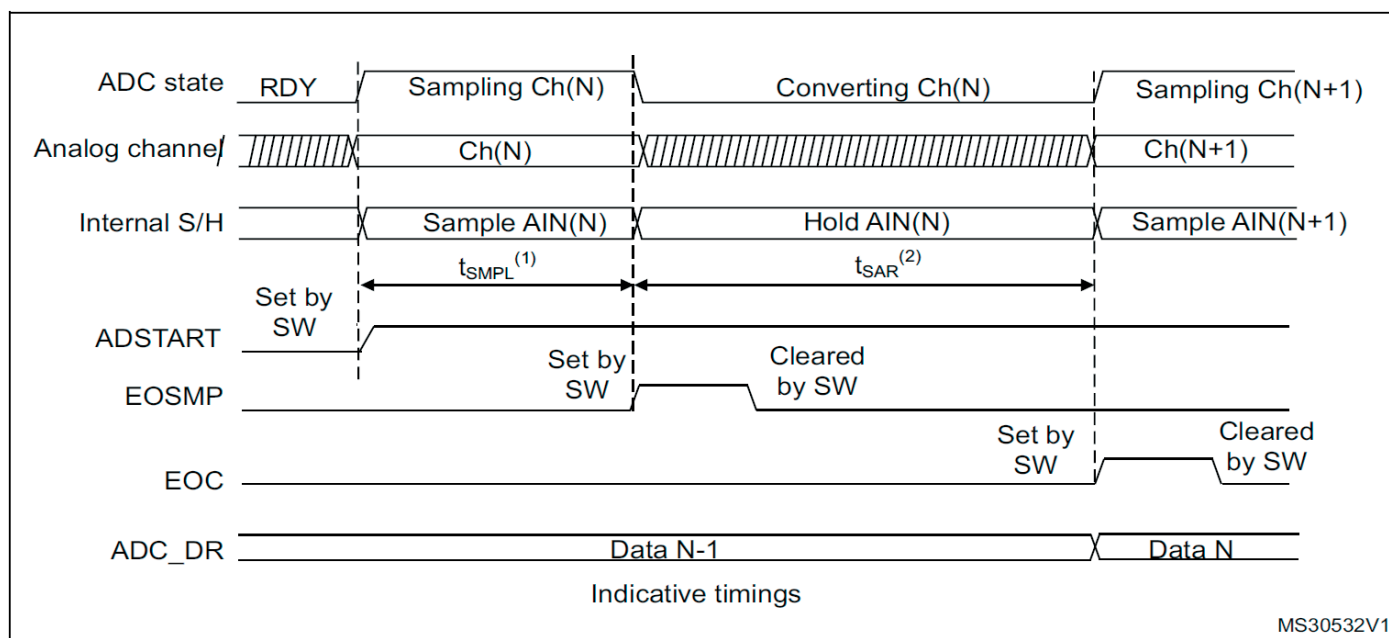
21.4.16 Расчет времени АЦП

Прошедшее время между началом преобразования и окончанием преобразования представляет собой сумму сконфигурированного времени выборки плюс время последовательного приближения в зависимости от разрешения данных:

$$T_{\text{CONV}} = T_{\text{SMPL}} + T_{\text{SAR}} = [2.5_{\text{min}} + 12.5_{\text{12bit}}] \times T_{\text{ADC_CLK}}$$

$$T_{\text{CONV}} = T_{\text{SMPL}} + T_{\text{SAR}} = 83.33 \text{ ns}_{\text{min}} + 416.67 \text{ ns}_{\text{12bit}} = 500.0 \text{ ns (for } F_{\text{ADC_CLK}} = 30 \text{ MHz)}$$

Рисунок 94. Время аналого-цифрового преобразования



1. TSMPL зависит от SMP[2:0]. 2. TSAR зависит от RES[2:0].

21.4.17 Остановка текущего преобразования (ADSTP, JADSTP)

Программное обеспечение может принять решение об остановке регулярных текущих преобразований, установив ADSTP = 1, и текущих инжектированных преобразованиях, установив JADSTP = 1.

Остановка преобразований сбрасывает текущую операцию АЦП. Затем АЦП можно перенастроить (например, изменить выбор канала или триггер), чтобы он был готов к новой операции.

Обратите внимание, что можно остановить инжектированные преобразования, в то время как регулярные преобразования все еще работают, и наоборот. Это позволяет, например, перенастроить инжектированную последовательность преобразования и триггеры, в то время как регулярные преобразования все еще работают (и наоборот).

Когда бит ADSTP устанавливается программно, любое текущее регулярное преобразование прерывается с отбрасыванием частичного результата (регистр ADC_DR не обновляется при текущем преобразовании).

Когда бит JADSTP устанавливается программно, любое текущее преобразование прерывается, а частичный результат отбрасывается (регистр ADC_JDR_y не обновляется при текущем преобразовании). Последовательность сканирования также прерывается и сбрасывается (это означает, что перезапуск АЦП приведет к перезапуску новой последовательности).

После завершения этой процедуры биты ADSTP/ADSTART (в случае регулярного преобразования) или JADSTP/JADSTART (в случае инжектированного преобразования) сбрасываются аппаратно, и программное обеспечение должно опрашивать ADSTART (или JADSTART) до тех пор, пока бит не будет сброшен, прежде чем принимать АЦП полностью остановлен.

Примечание. В режиме автовыставки (JAUTO = 1) установка бита ADSTP прерывает как регулярное, так и инжектированное преобразование (JADSTP использовать нельзя).

Рисунок 95. Остановка текущих регулярных преобразований

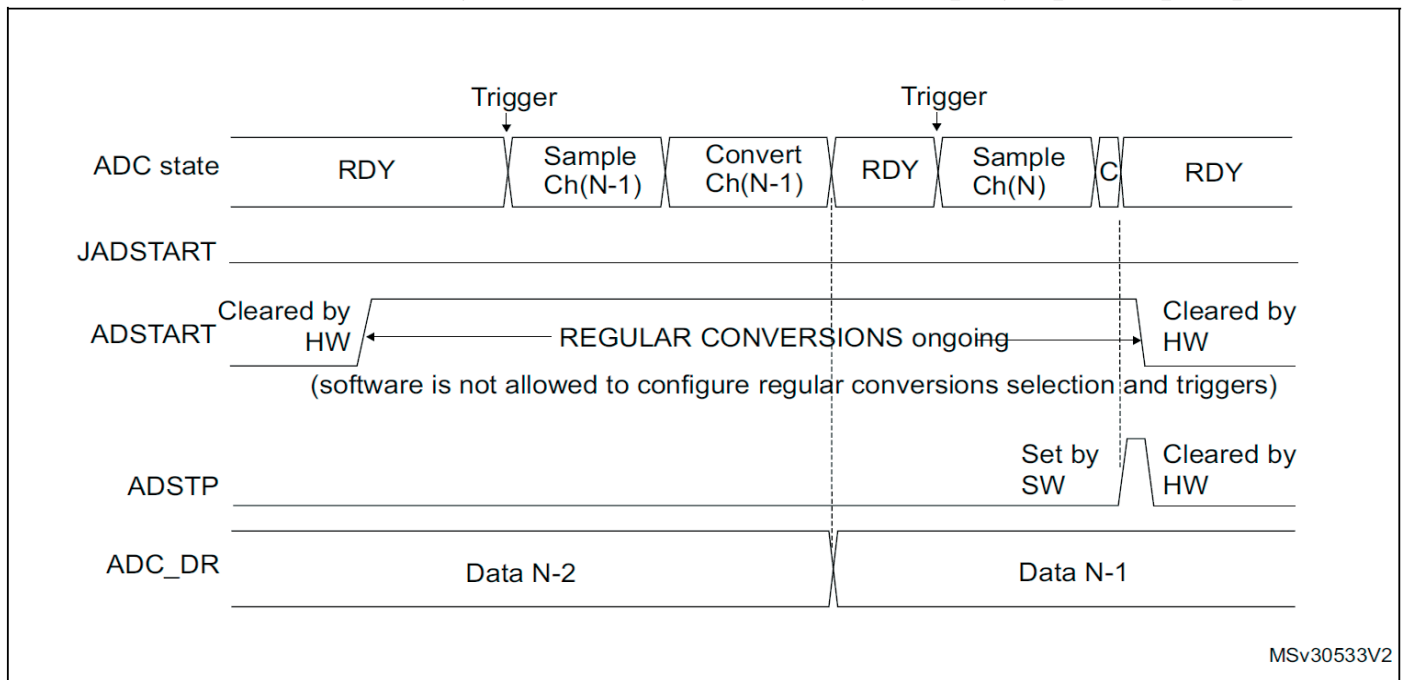
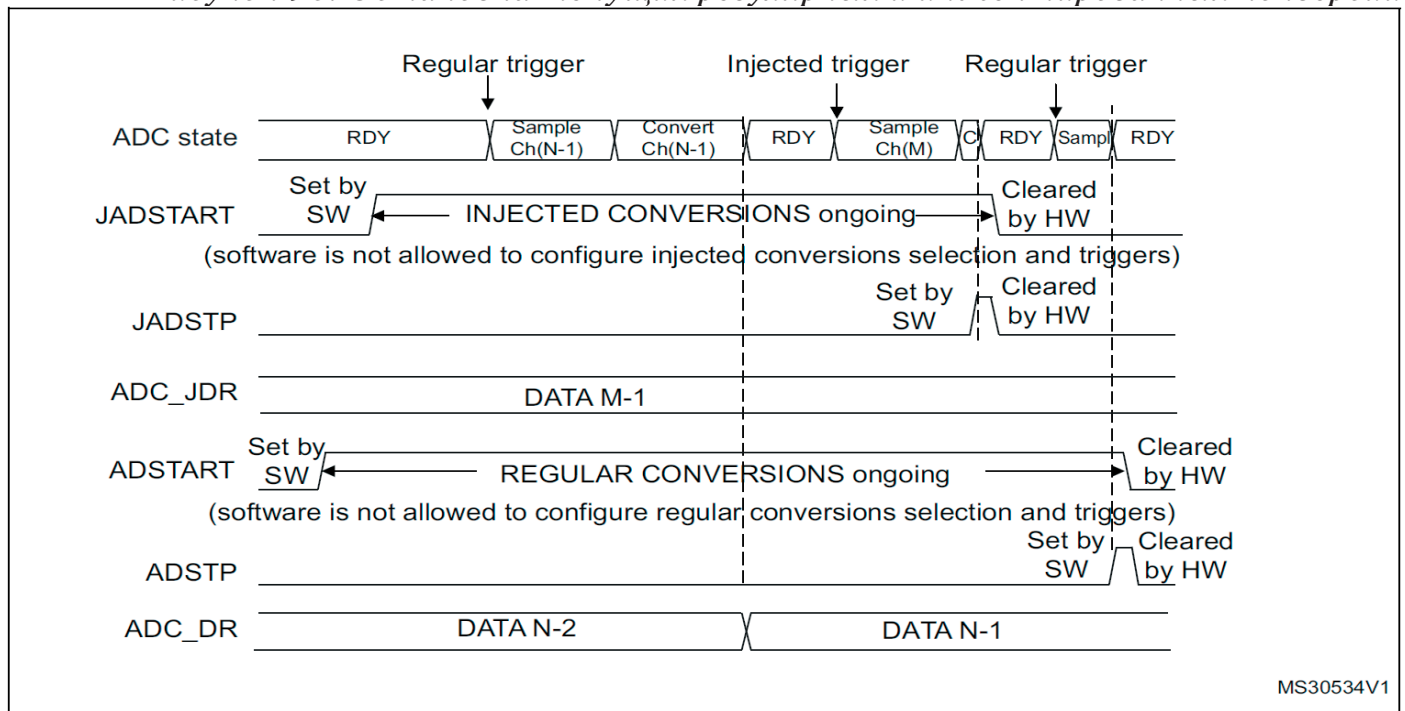


Рисунок 96. Остановка текущих регулярных и инжектированных конверсий



21.4.18 Преобразование от внешнего запуска и полярности запуска (EXTSEL, EXTEN, JEXTSEL, JEXTEN)

Преобразование или последовательность преобразований могут быть запущены либо программным обеспечением, либо внешним событием (например, захватом таймера, входными контактами). Если биты управления EXTEN[1:0] (для регулярного преобразования) или биты JEXTEN[1:0] (для инжектированного преобразования) отличны от 00, то внешние события могут инициировать преобразование с выбранной полярностью.

Когда Injected Queue включена (бит JQDIS = 0), внедрение программных триггеров невозможно.

Выбор регулярного триггера вступает в силу, когда программное обеспечение устанавливает бит ADSTART = 1, а выбор встроенного триггера действует, когда программное обеспечение устанавливает бит JADSTART = 1.

Любые аппаратные триггеры, возникающие во время выполнения преобразования, игнорируются.

- Если бит ADSTART = 0, любые регулярные аппаратные триггеры игнорируются.

- Если бит JADSTART = 0, любые вводимые аппаратные триггеры игнорируются. В таблице 161 показано соответствие между значениями EXTEN[1:0] и JEXTEN[1:0] и полярностью запуска.

Табл. 161. Настройка полярности триггера для регулярных внешних триггеров

EXTEN[1:0]	Источник
00	Обнаружение аппаратного триггера отключено, обнаружение программного триггера включено
01	Аппаратный триггер с обнаружением нарастающего фронта
10	Аппаратный триггер с обнаружением заднего фронта
11	Аппаратный триггер с обнаружением как нарастающего, так и спадающего фронта

Примечание. Полярность регулярного триггера нельзя изменить на лету.

Табл. 162. Настройка полярности триггера для инжектированных внешних триггеров

JEXTEN[1:0]	Источник
00	– Если JQDIS = 1 (Очередь отключена): обнаружение аппаратного триггера отключено, обнаружение программного триггера включено. – Если JQDIS = 0 (Очередь включена), обнаружение аппаратных и программных триггеров отключено.
01	Аппаратный триггер с обнаружением нарастающего фронта
10	Аппаратный триггер с обнаружением заднего фронта
11	Аппаратный триггер с обнаружением как нарастающего, так и спадающего фронта

Примечание. Полярность инжектированного триггера можно предвидеть и изменить на лету, когда очередь включена (JQDIS = 0). Обратитесь к Разделу 21.4.21: Очередь контекста для внедренных преобразований.

Биты управления EXTSEL и JEXTSEL выбирают, какие из 32 возможных событий могут инициировать преобразование для регулярной и инжектированной групп.

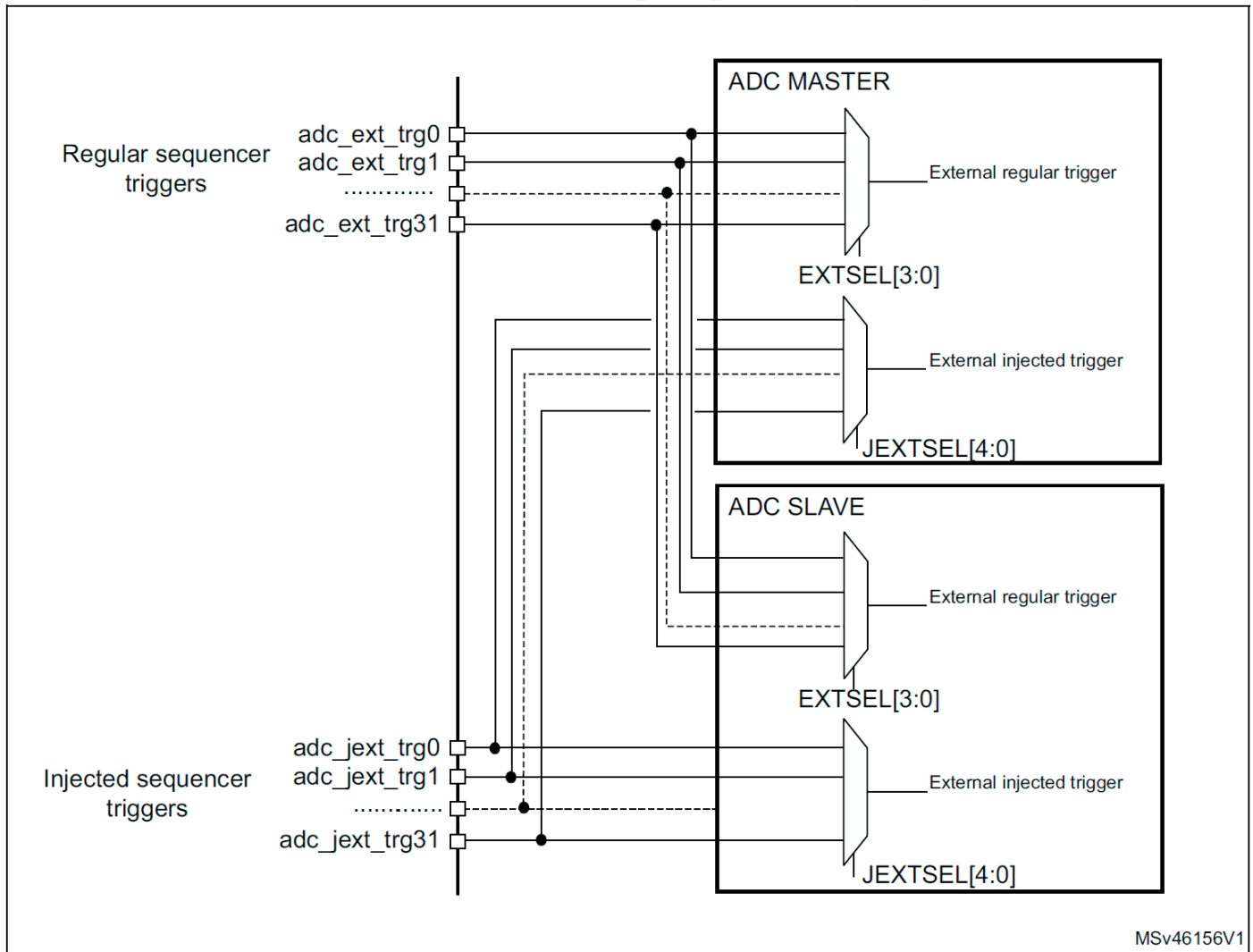
Регулярное групповое преобразование может быть прервано инжектированным триггером.

Примечание. Выбор регулярного триггера нельзя изменить на лету.

Выбор инжектированного триггера можно предвидеть и изменить на лету. См. Раздел 21.4.21: Очередь контекста для инжектированных конверсий на стр. 630.

Каждый ведущий АЦП совместно использует одни и те же входные триггеры со своим ведомым АЦП, как показано на рисунке 97.

Рис. 97. Совместное использование триггеров между ведущим и ведомым АЦП



В таблицах с 163 по 166 приведены все возможные внешние триггеры трех АЦП для регулярных и инжектированных преобразований.

Табл. 163. ADC1/2 — внешние триггеры для регулярных каналов

Name	Source	Type	EXTSEL[4:0]
adc_ext_trg	TIM1_CC1	Internal signal from on-chip timers	00000
adc_ext_trg1	TIM1_CC2	Internal signal from on-chip timers	00001
adc_ext_trg2	TIM1_CC3	Internal signal from on-chip timers	00010
adc_ext_trg3	TIM2_CC2	Internal signal from on-chip timers	00011
adc_ext_trg4	TIM3_TRGO	Internal signal from on-chip timers	00100
adc_ext_trg5	TIM4_CC4	Internal signal from on-chip timers	00101
adc_ext_trg6	EXTI line 11	External pin	00110
adc_ext_trg7	TIM8_TRGO	Internal signal from on-chip timers	00111
adc_ext_trg8	TIM8_TRGO2	Internal signal from on-chip timers	01000
adc_ext_trg9	TIM1_TRGO	Internal signal from on-chip timers	01001
adc_ext_trg10	TIM1_TRGO2	Internal signal from on-chip timers	01010
adc_ext_trg11	TIM2_TRGO	Internal signal from on-chip timers	01011
adc_ext_trg12	TIM4_TRGO	Internal signal from on-chip timers	01100
adc_ext_trg13	TIM6_TRGO	Internal signal from on-chip timers	01101
adc_ext_trg14	TIM15_TRGO	Internal signal from on-chip timers	01110
adc_ext_trg15	TIM3_CC4	Internal signal from on-chip timers	01111
adc_ext_trg16	TIM20_TRGO	Internal signal from on-chip timers	10000
adc_ext_trg17	TIM20_TRGO2	Internal signal from on-chip timers	10001
adc_ext_trg18	TIM20_CC1	Internal signal from on-chip timers	10010
adc_ext_trg19	TIM20_CC2	Internal signal from on-chip timers	10011
adc_ext_trg20	TIM20_CC3	Internal signal from on-chip timers	10100
adc_ext_trg21	hrtim_adc_trg1	Internal signal from on-chip timers	10101
adc_ext_trg22	hrtim_adc_trg3	Internal signal from on-chip timers	10110
adc_ext_trg23	hrtim_adc_trg5	Internal signal from on-chip timers	10111
adc_ext_trg24	hrtim_adc_trg6	Internal signal from on-chip timers	11000
adc_ext_trg25	hrtim_adc_trg7	Internal signal from on-chip timers	11001
adc_ext_trg26	hrtim_adc_trg8	Internal signal from on-chip timers	11010
adc_ext_trg27	hrtim_adc_trg9	Internal signal from on-chip timers	11011
adc_ext_trg28	hrtim_adc_trg10	Internal signal from on-chip timers	11100
adc_ext_trg29	LPTIMOUT	Internal signal from on-chip timers	11101
adc_ext_trg30	TIM7_TRGO	Internal signal from on-chip timers	11110
adc_ext_trg31	reserved	-	11111

Таблица 164. ADC1/2 — внешний запуск для инжектированных каналов

Name	Source	Type	JEXTSEL[4:0]
adc_jext_trg0	TIM1_TRGO	Internal signal from on-chip timers	00000
adc_jext_trg1	TIM1_CC4	Internal signal from on-chip timers	00001
adc_jext_trg2	TIM2_TRGO	Internal signal from on-chip timers	00010
adc_jext_trg3	TIM2_CC1	Internal signal from on-chip timers	00011
adc_jext_trg4	TIM3_CC4	Internal signal from on-chip timers	00100
adc_jext_trg5	TIM4_TRGO	Internal signal from on-chip timers	00101
adc_jext_trg6	EXTI line 15	External pin	00110
adc_jext_trg7	TIM8_CC4	Internal signal from on-chip timers	00111
adc_jext_trg8	TIM1_TRGO2	Internal signal from on-chip timers	01000
adc_jext_trg9	TIM8_TRGO	Internal signal from on-chip timers	01001
adc_jext_trg10	TIM8_TRGO2	Internal signal from on-chip timers	01010
adc_jext_trg11	TIM3_CC3	Internal signal from on-chip timers	01011
adc_jext_trg12	TIM3_TRGO	Internal signal from on-chip timers	01100
adc_jext_trg13	TIM3_CC1	Internal signal from on-chip timers	01101
adc_jext_trg14	TIM6_TRGO	Internal signal from on-chip timers	01110
adc_jext_trg15	TIM15_TRGO	Internal signal from on-chip timers	01111
adc_jext_trg16	TIM20_TRGO	Internal signal from on-chip timers	10000
adc_jext_trg17	TIM20_TRGO2	Internal signal from on-chip timers	10001
adc_jext_trg18	TIM20_CC4	Internal signal from on-chip timers	10010
adc_jext_trg19	hrtim_adc_trg2	Internal signal from on-chip timers	10011
adc_jext_trg20	hrtim_adc_trg4	Internal signal from on-chip timers	10100
adc_jext_trg21	hrtim_adc_trg5	Internal signal from on-chip timers	10101
adc_jext_trg22	hrtim_adc_trg6	Internal signal from on-chip timers	10110
adc_jext_trg23	hrtim_adc_trg7	Internal signal from on-chip timers	10111
adc_jext_trg24	hrtim_adc_trg8	Internal signal from on-chip timers	11000
adc_jext_trg25	hrtim_adc_trg9	Internal signal from on-chip timers	11001
adc_jext_trg26	hrtim_adc_trg10	Internal signal from on-chip timers	11010
adc_jext_trg27	TIM16_CC1	Internal signal from on-chip timers	11011
adc_jext_trg28	reserved	-	11100
adc_jext_trg29	LPTIMOUT	Internal signal from on-chip timers	11101
adc_jext_trg30	TIM7_TRGO	Internal signal from on-chip timers	11110
adc_jext_trg31	reserved	-	11111

Табл. 165. ADC3/4/5 — внешние триггеры для регулярных каналов

Name	Source	Type	EXTSEL[4:0]
adc_ext_trg0	TIM3_CC1	Internal signal from on-chip timers	00000
adc_ext_trg1	TIM2_CC3	Internal signal from on-chip timers	00001
adc_ext_trg2	TIM1_CC3	Internal signal from on-chip timers	00010
adc_ext_trg3	TIM8_CC1	Internal signal from on-chip timers	00011
adc_ext_trg4	TIM3_TRGO	Internal signal from on-chip timers	00100
adc_ext_trg5	EXTI line 2	External pin	00101
adc_ext_trg6	TIM4_CC1	Internal signal from on-chip timers	00110
adc_ext_trg7	TIM8_TRGO	Internal signal from on-chip timers	00111
adc_ext_trg8	TIM8_TRGO2	Internal signal from on-chip timers	01000
adc_ext_trg9	TIM1_TRGO	Internal signal from on-chip timers	01001
adc_ext_trg10	TIM1_TRGO2	Internal signal from on-chip timers	01010
adc_ext_trg11	TIM2_TRGO	Internal signal from on-chip timers	01011
adc_ext_trg12	TIM4_TRGO	Internal signal from on-chip timers	01100
adc_ext_trg13	TIM6_TRGO	Internal signal from on-chip timers	01101
adc_ext_trg14	TIM15_TRGO	Internal signal from on-chip timers	01110
adc_ext_trg15	TIM2_CC1	Internal signal from on-chip timers	01111
adc_ext_trg16	TIM20_TRGO	Internal signal from on-chip timers	10000
adc_ext_trg17	TIM20_TRGO2	Internal signal from on-chip timers	10001
adc_ext_trg18	TIM20_CC1	Internal signal from on-chip timers	10010
adc_ext_trg19	hrtim_adc_trg2	Internal signal from on-chip timers	10011
adc_ext_trg20	hrtim_adc_trg4	Internal signal from on-chip timers	10100
adc_ext_trg21	hrtim_adc_trg1	Internal signal from on-chip timers	10101
adc_ext_trg22	hrtim_adc_trg3	Internal signal from on-chip timers	10110
adc_ext_trg23	hrtim_adc_trg5	Internal signal from on-chip timers	10111
adc_ext_trg24	hrtim_adc_trg6	Internal signal from on-chip timers	11000
adc_ext_trg25	hrtim_adc_trg7	Internal signal from on-chip timers	11001
adc_ext_trg26	hrtim_adc_trg8	Internal signal from on-chip timers	11010
adc_ext_trg27	hrtim_adc_trg9	Internal signal from on-chip timers	11011
adc_ext_trg28	hrtim_adc_trg10	Internal signal from on-chip timers	11100
adc_ext_trg29	LPTIMOUT	Internal signal from on-chip timers	11101
adc_ext_trg30	TIM7_TRGO	Internal signal from on-chip timers	11110
adc_ext_trg31	reserved	-	11111

Таблица 166. ADC3/4/5 — внешние триггеры для инжектированных каналов

Name	Source	Type	JEXTSEL[4:0]
adc_jext_trg0	TIM1_TRGO	Internal signal from on-chip timers	00000
adc_jext_trg1	TIM1_CC4	Internal signal from on-chip timers	00001
adc_jext_trg2	TIM2_TRGO	Internal signal from on-chip timers	00010
adc_jext_trg3	TIM8_CC2	Internal signal from on-chip timers	00011
adc_jext_trg4	TIM4_CC3	Internal signal from on-chip timers	00100
adc_jext_trg5	TIM4_TRGO	Internal signal from on-chip timers	00101
adc_jext_trg6	TIM4_CC4	Internal signal from on-chip timers	00110
adc_jext_trg7	TIM8_CC4	Internal signal from on-chip timers	00111
adc_jext_trg8	TIM1_TRGO2	Internal signal from on-chip timers	01000
adc_jext_trg9	TIM8_TRGO	Internal signal from on-chip timers	01001
adc_jext_trg10	TIM8_TRGO2	Internal signal from on-chip timers	01010
adc_jext_trg11	TIM1_CC3	Internal signal from on-chip timers	01011
adc_jext_trg12	TIM3_TRGO	Internal signal from on-chip timers	01100
adc_jext_trg13	EXTI line 3	External pin	01101
adc_jext_trg14	TIM6_TRGO	Internal signal from on-chip timers	01110
adc_jext_trg15	TIM15_TRGO	Internal signal from on-chip timers	01111
adc_jext_trg16	TIM20_TRGO	Internal signal from on-chip timers	10000
adc_jext_trg17	TIM20_TRGO2	Internal signal from on-chip timers	10001
adc_jext_trg18	TIM20_CC2	Internal signal from on-chip timers	10010
adc_jext_trg19	hrtim_adc_trg2	Internal signal from on-chip timers	10011
adc_jext_trg20	hrtim_adc_trg4	Internal signal from on-chip timers	10100
adc_jext_trg21	hrtim_adc_trg5	Internal signal from on-chip timers	10101
adc_jext_trg22	hrtim_adc_trg6	Internal signal from on-chip timers	10110
adc_jext_trg23	hrtim_adc_trg7	Internal signal from on-chip timers	10111
adc_jext_trg24	hrtim_adc_trg8	Internal signal from on-chip timers	11000
adc_jext_trg25	hrtim_adc_trg9	Internal signal from on-chip timers	11001
adc_jext_trg26	hrtim_adc_trg10	Internal signal from on-chip timers	11010
adc_jext_trg27	hrtim_adc_trg1	Internal signal from on-chip timers	11011
adc_jext_trg28	hrtim_adc_trg3	Internal signal from on-chip timers	11100
adc_jext_trg29	LPTIMOUT	Internal signal from on-chip timers	11101
adc_jext_trg30	TIM7_TRGO	Internal signal from on-chip timers	11110
adc_jext_trg31	reserved	-	11111

21.4.19 Управление инжектированным каналом

Triggered injection mode (Режим триггерного инжектирования)

Для использования триггера инжектированного канала бит JAUTO в регистре ADC_CFGR должен быть очищен.

1. Запустить преобразование группы регулярных каналов либо по внешнему триггеру, либо установкой бита ADSTART в регистре ADC_CR.

2. Если происходит внешний инжектированный триггер, или если бит JADSTART в регистре ADC_CR установлен во время преобразования регулярной группы каналов, текущее преобразование сбрасывается и запускаются переключатели последовательности инжектированных каналов (все инжектированные каналы конвертируются однажды).

3. Затем возобновляется регулярная конвертация регулярной группы каналов с последней прерванной регулярной конвертации.

4. Если во время инжектированного преобразования происходит регулярное событие, инжектированное преобразование не прерывается, а регулярная последовательность выполняется в конце инжектированной последовательности. На рис. 98 показана соответствующая временная диаграмма.

Примечание. При использовании триггера инжектированного канала необходимо убедиться, что интервал между триггерными событиями больше, чем последовательность инжектированных каналов. Например, если длина последовательности составляет 30 тактовых циклов АЦП (то есть два преобразования с временем выборки 2,5 тактовых периода), минимальный интервал между запусками должен составлять 31 тактовый цикл АЦП.

Auto-injection mode (Режим автоматического инжектирования)

Если установлен бит JAUTO в регистре ADC_CFGR, то каналы инжектированной группы автоматически преобразуются после регулярной группы каналов. Это можно использовать для преобразования последовательности до 20 преобразований, запрограммированных в регистрах ADC_SQRy и ADC_JSQR.

В этом режиме бит ADSTART в регистре ADC_CR должен быть установлен для запуска регулярных преобразований, за которыми следуют вложенные преобразования (JADSTART должен быть очищен). Установка бита ADSTP прерывает как регулярное, так и инжектированное преобразование (бит JADSTP использовать нельзя).

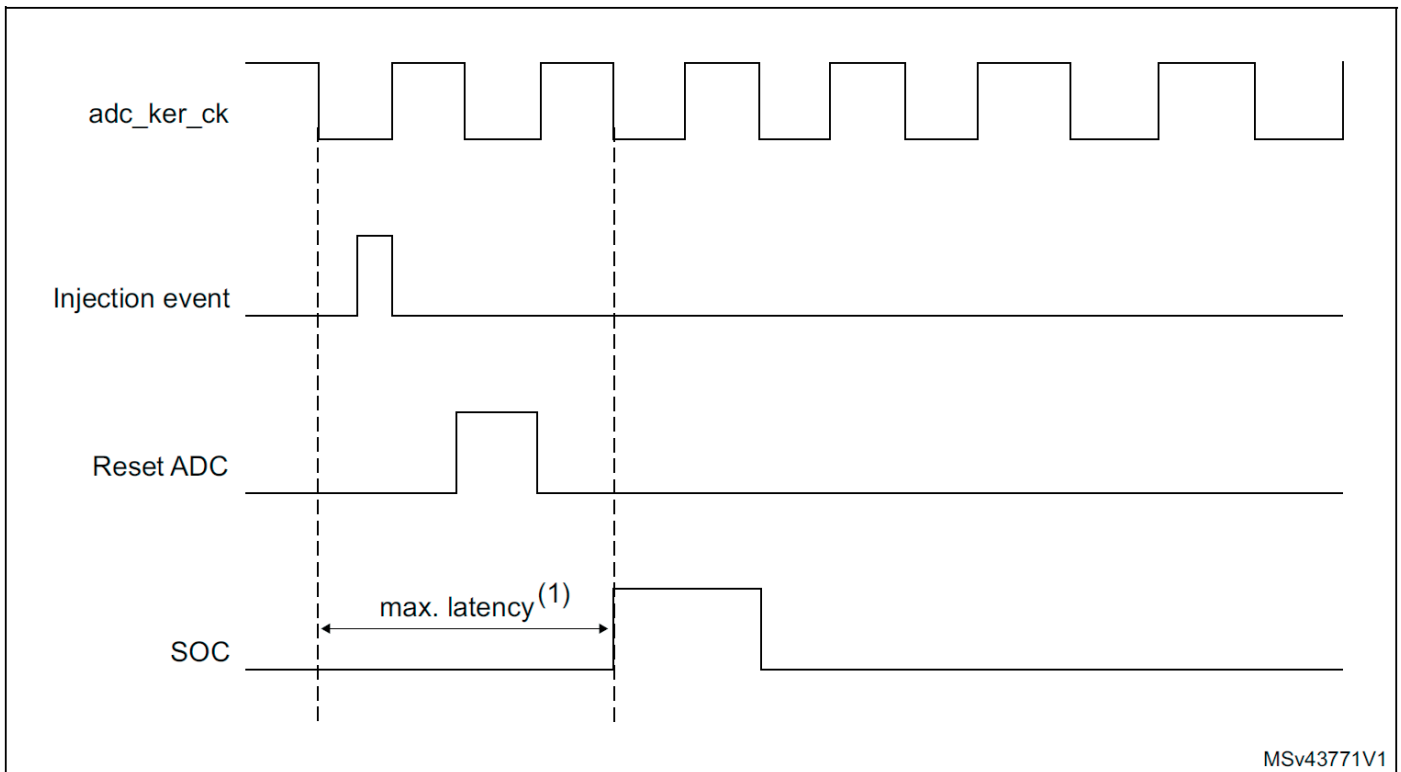
В этом режиме внешний триггер на инжектированных каналах должен быть отключен.

Если бит CONT также установлен в дополнение к биту JAUTO, регулярные каналы, за которыми следуют инжектированные каналы, непрерывно преобразуются.

Примечание. Невозможно одновременно использовать автоматический и прерывистый режимы.

Когда DMA используется для экспорта данных регулярного секвенсора в режиме JAUTO, необходимо запрограммировать его в циклическом режиме (бит CIRC установлен в регистре DMA_CCRx). Если бит CIRC сброшен (однократный режим), последовательность JAUTO останавливается по событию DMA Transfer Complete.

Рисунок 98. Задержка внедренного преобразования



MSv43771V1

(1). Максимальное значение задержки можно найти в электрических характеристиках паспорта устройства.

21.4.20 Discontinuous mode (Прерывистый режим) (DISCEN, DISCNUM, JDISCEN)

Regular group mode (Режим регулярных групп)

Этот режим включается установкой бита DISCEN в регистре ADC_CFGR.

Он используется для преобразования короткой последовательности (подгруппы) из n преобразований ($n \leq 8$), которая является частью последовательности преобразований, выбранной в регистрах ADC_SQRy. Значение n задается записью в биты DISCNUM[2:0] в регистре ADC_CFGR.

Когда возникает внешний триггер, он запускает следующие n преобразований, выбранных в регистрах ADC_SQRy, пока не будут выполнены все преобразования в последовательности. Общая длина последовательности определяется битами L[3:0] в регистре ADC_SQR1.

Пример:

- DISCEN = 1, $n = 3$, конвертируемые каналы = 1, 2, 3, 6, 7, 8, 9, 10, 11
- 1-й триггер: преобразованы каналы 1, 2, 3 (событие EOC генерируется при каждом преобразовании).
- 2-й триггер: преобразованы каналы 6, 7, 8 (событие EOC генерируется при каждом преобразовании).
- 3-й триггер: преобразованы каналы 9, 10, 11 (событие EOC генерируется при каждом преобразовании), а событие EOS генерируется после преобразования канала 11.
- 4-й триггер: преобразованы каналы 1, 2, 3 (событие EOC генерируется при каждом преобразовании).

- ...

- $DISCEN = 0$, каналы для преобразования = 1, 2, 3, 6, 7, 8, 9, 10, 11
- 1-й триггер: преобразуется вся последовательность: канал 1, затем 2, 3, 6, 7, 8, 9, 10 и 11. Каждое преобразование генерирует событие EOC, а последнее также генерирует событие EOS.
- Все последующие триггерные события перезапускают всю последовательность.

Примечание. Номера каналов, указанные в приведенном выше примере, могут быть доступны не на всех микроконтроллерах.

При преобразовании регулярной группы в прерывистом режиме переноса не происходит (последняя подгруппа последовательности может иметь менее n преобразований).

Когда все подгруппы преобразованы, следующий триггер запускает преобразование первой подгруппы. В приведенном выше примере 4-й триггер повторно конвертирует каналы 1, 2 и 3 в 1-ю подгруппу.

Невозможно включить одновременно прерывистый и непрерывный режимы. В этом случае (если $DISCEN = 1$, $CONT = 1$) АЦП ведет себя так, как если бы непрерывный режим был отключен.

Injected group mode (Режим инжектированных групп)

Этот режим включается установкой бита $JDISCEN$ в регистре ADC_CFGR . Он преобразует последовательность, выбранную в регистре ADC_JSQR , канал за каналом, после внешнего запускающего события. Это эквивалентно прерывистому режиму для регулярных каналов, где « n » фиксируется равным 1.

Когда возникает внешний триггер, он запускает следующие преобразования каналов, выбранные в регистрах ADC_JSQR , до тех пор, пока не будут выполнены все преобразования в последовательности. Общая длина последовательности определяется битами $JL[1:0]$ в регистре ADC_JSQR .

Пример:

- $JDISCEN = 1$, преобразуемые каналы = 1, 2, 3
- 1-й триггер: преобразован канал 1 (генерируется событие JEОC)
- 2-й триггер: преобразован канал 2 (генерируется событие JEОC)
- 3-й триггер: преобразован канал 3 и генерируются событие JEОC + событие JEОS.

- ...

Примечание. Номера каналов, указанные в приведенном выше примере, могут быть доступны не на всех микроконтроллерах.

Когда все внедренные каналы будут преобразованы, следующий триггер запускает преобразование первого внедренного канала. В приведенном выше примере 4-й триггер повторно преобразует 1-й инжектированный канал 1.

Невозможно одновременно использовать как автоматический, так и прерывистый режим: биты $DISCEN$ и $JDISCEN$ должны быть очищены программным обеспечением, когда установлено $JAUTO$.

21.4.21 Очередь контекста для инжектированных конверсий

Реализована очередь контекста, чтобы предвидеть до 2 контекстов для следующей инжектированной последовательности преобразований. Бит JQDIS в регистре ADC_CFGR должен быть сброшен, чтобы включить эту функцию. При включенной очереди контекста возможны только преобразования, запускаемые аппаратным обеспечением.

Этот контекст состоит из:

- Конфигурация инжектированных триггеров (биты JEXTEN[1:0] и биты JEXTSEL в регистре ADC_JSQR)
- Определение инжектированной последовательности (биты JSQx[4:0] и JL[1:0] в регистре ADC_JSQR)

Все параметры контекста определены в одном регистре ADC_JSQR, и этот регистр реализует очередь из 2 буферов, что позволяет буферизовать до 2 наборов параметров:

- Регистр JSQR может быть записан в любой момент, даже когда выполняются вводимые преобразования.
- Каждые данные, записанные в регистр JSQR, сохраняются в Очереди контекста.
- В начале очередь пуста, и первая запись в регистр JSQR сразу меняет контекст, и АЦП готов к приему инжектированных триггеров.
- После завершения инжектированной последовательности очередь расходуется, а контекст изменяется в соответствии со следующими параметрами JSQR, хранящимися в очереди. Этот новый контекст применяется для следующей внедренной последовательности преобразований.

- Переполнение очереди происходит при записи в регистр JSQR, когда очередь заполнена. Об этом переполнении сигнализирует установка флага JQOVF. Когда происходит переполнение, доступ для записи в регистр JSQR, вызвавший переполнение, игнорируется, а очередь контекста не изменяется. Прерывание может быть сгенерировано, если установлен бит JQOVFIE.

- Возможны два варианта поведения, когда очередь становится пустой, в зависимости от значения управляющего бита JQM регистра ADC_CFGR:

- Если $JQM = 0$, очередь пуста сразу после включения ADC, но тогда она никогда не может быть пустой во время операций запуска: очередь всегда поддерживает последний активный контекст, и любое дальнейшее допустимое начало инжектированной последовательности обслуживается в соответствии с последним активным контекстом.

- Если $JQM = 1$, очередь может быть пустой после окончания инжектированной последовательности или если очередь сбрасывается. Когда это происходит, в очереди больше нет контекста, и аппаратные триггеры отключаются. Следовательно, любые дальнейшие триггеры, внедренные аппаратно, игнорируются до тех пор, пока программное обеспечение не перезапишет новый внедренный контекст в регистр JSQR.

- Чтение регистра JSQR возвращает текущий контекст JSQR, активный в данный момент. Когда контекст JSQR пуст, JSQR читается как 0x0000.

- Очередь сбрасывается при остановке внедренных преобразований путем установки JADSTP = 1 или при отключении АЦП путем установки ADDIS = 1:

- Если $JQM = 0$, очередь сохраняется с последним активным контекстом.
- Если $JQM = 1$, очередь становится пустой, а триггеры игнорируются.

Примечание. При настройке в прерывистом режиме (бит $JDISCEN = 1$) только последний триггер инжектированной последовательности изменяет контекст и использует очередь. 1-й триггер использует только очередь, но другие триггеры по-прежнему являются действительными триггерами, как показано в примере с прерывистым режимом. ниже (длина = 3 для обоих контекстов):

- 1-й триггер, прерывистый. Последовательность 1: потребляется контекст 1, выполняется 1-е преобразование

- 2-й курок, диск. Последовательность 1: 2-е преобразование.

- 3-й триггер, прерывистый. Последовательность 1: 3-е преобразование.

- 4-й триггер, прерывистый. Последовательность 2: потребляется контекст 2, выполняется 1-е преобразование.

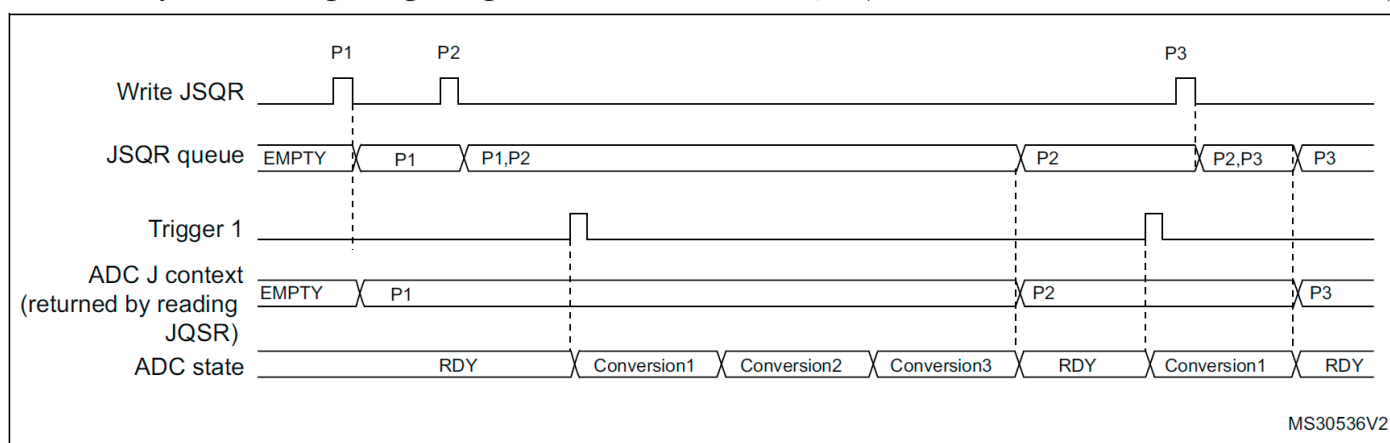
- 5-й триггер, прерывистый. Последовательность 2: 2-е преобразование.

- 6-й триггер, прерывистый. Последовательность 2: 3-е преобразование.

Поведение при изменении триггера или контекста последовательности

На рисунке 99 и рисунке 100 показано поведение контекстной очереди при изменении последовательности или триггеров.

Рисунок 99. Пример очереди контекста JSQR (изменение последовательности)



MS30536V2

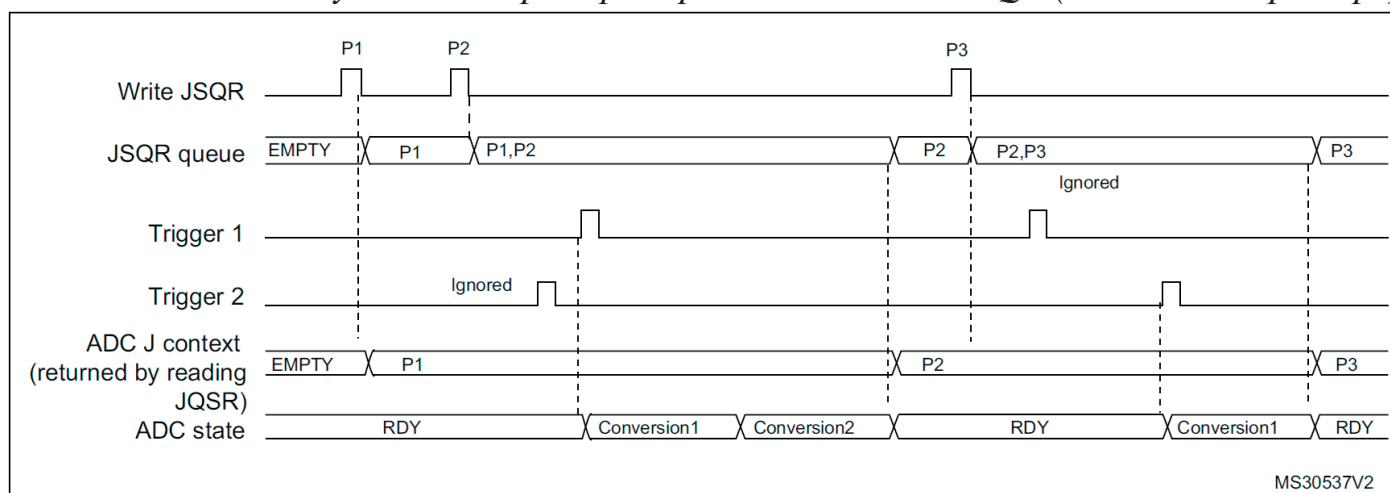
1. Параметры:

P1: последовательность из 3 преобразований, аппаратный триггер 1

P2: последовательность 1 преобразования, аппаратный триггер 1

P3: последовательность из 4 преобразований, аппаратный триггер 1

Рисунок 100. Пример очереди контекста JSQR (изменение триггера)



MS30537V2

1. Параметры:

P1: последовательность из 2 преобразований, аппаратный триггер 1

P2: последовательность 1 преобразования, аппаратный триггер 2

P3: последовательность из 4 преобразований, аппаратный триггер 1

Управление конверсиями с помощью DMA

Поскольку преобразованные значения каналов сохраняются в уникальном регистре данных, полезно использовать DMA для преобразования более чем одного канала. Это позволяет избежать потери данных, уже сохраненных в регистре ADC_DR.

Когда режим DMA включен (бит DMAEN установлен в регистре ADC_CFGR в режиме одиночного АЦП или значение MDMA отличается от 00 в режиме двойного АЦП), после каждого преобразования канала генерируется запрос DMA. Это позволяет передавать преобразованные данные из регистра ADC_DR в место назначения, выбранное программным обеспечением.

Несмотря на это, если происходит переполнение ($OVR = 1$) из-за того, что DMA не может вовремя обслужить запрос на передачу DMA, ADC прекращает генерировать запросы DMA, и данные, соответствующие новому преобразованию, не передаются DMA. Это означает, что все данные, переданные в оперативную память, можно считать действительными.

В зависимости от конфигурации бита OVRMOD данные либо сохраняются, либо перезаписываются (см. раздел «Переполнение АЦП (OVR, OVRMOD)»).

Запросы на передачу DMA блокируются до тех пор, пока программное обеспечение не очистит бит OVR.

В зависимости от использования приложения предлагаются два различных режима DMA, которые настраиваются с помощью бита DMACFG регистра ADC_CFGR в режиме одиночного АЦП или с помощью бита DMACFG регистра ADC_CCR в режиме двойного АЦП:

- Единый режим DMA ($DMACFG = 0$). Этот режим подходит, когда DMA запрограммирован на передачу фиксированного количества данных.

- Круговой режим прямого доступа к памяти ($DMACFG = 1$) Этот режим подходит для программирования прямого доступа к памяти в циклическом режиме.

Одноразовый режим DMA ($DMACFG = 0$)

В этом режиме АЦП генерирует запрос на передачу DMA каждый раз, когда доступны новые данные преобразования, и прекращает генерировать запросы DMA, как только DMA достигает последней передачи DMA (когда происходит прерывание DMA_EOT — см. параграф DMA), даже если преобразование было запущено снова.

Когда передача DMA завершена (все передачи, настроенные в контроллере DMA, выполнены):

- Содержимое регистра данных АЦП заморожено.
- Любое текущее преобразование прерывается, а частичный результат отбрасывается.

- Для контроллера DMA не выдается новый запрос DMA. Это позволяет избежать возникновения ошибки переполнения, если еще есть запущенные преобразования.

- Последовательность сканирования останавливается и сбрасывается.

- Прямой доступ к памяти остановлен.

Циркулярный режим прямого доступа к памяти ($DMACFG = 1$)

В этом режиме АЦП генерирует запрос на передачу DMA каждый раз, когда в регистре данных появляются новые данные преобразования, даже если DMA достиг последней передачи DMA. Это позволяет настроить DMA в круговом режиме для обработки непрерывного потока аналоговых входных данных.

21.4.30 Двойные режимы АЦП

Режимы двойного АЦП можно использовать в устройствах с двумя или более АЦП (см. рис. 137).

В режиме двойного АЦП начало преобразования запускается попеременно или одновременно

Ведущий ADCx к подчиненному ADC, в зависимости от режима, выбранного битами DUAL[4:0] в регистре ADCx_CCR.

Реализовано четыре возможных режима:

- Инжектированный одновременный режим
- Обычный одновременный режим
- Чередующий режим
- Альтернативный режим триггера

Также возможно использовать эти режимы в сочетании следующим образом:

• Инжектированный одновременный режим + Обычный одновременный режим

• Обычный одновременный режим + Альтернативный режим запуска

• Введенный одновременный режим + Чередующийся режим

В режиме двойного АЦП (когда биты DUAL[4:0] в регистре ADCx_CCR не равны нулю), биты CONT, AUTDLY, DISCEN, DISCNUM[2:0], JDISCEN, JQM, JAUTO регистра ADC_CFGR совместно используются ведущий и ведомый АЦП: биты ведомого АЦП всегда равны соответствующим битам ведущего АЦП.

Чтобы запустить преобразование в двойном режиме, пользователь должен запрограммировать биты EXTEN[1:0], EXTSEL, JEXTEN[1:0], JEXTSEL только ведущего АЦП, чтобы настроить программный или аппаратный запуск, а также обычный или вводимый курок. (биты EXTEN[1:0] и JEXTEN[1:0] подчиненного АЦП не имеют значения).

В обычных одновременных или чередующихся режимах: как только пользователь устанавливает бит ADSTART или бит ADSTP ведущего АЦП, автоматически устанавливается соответствующий бит ведомого АЦП. Однако бит ADSTART или бит ADSTP ведомого АЦП необязательно очищать одновременно с битом ведущего АЦП.

В одновременных или альтернативных режимах запуска: как только пользователь устанавливает бит JADSTART или бит JADSTP ведущего АЦП, автоматически устанавливается соответствующий бит ведомого АЦП. Однако бит JADSTART или бит JADSTP ведомого АЦП необязательно очищать одновременно с битом ведущего АЦП.

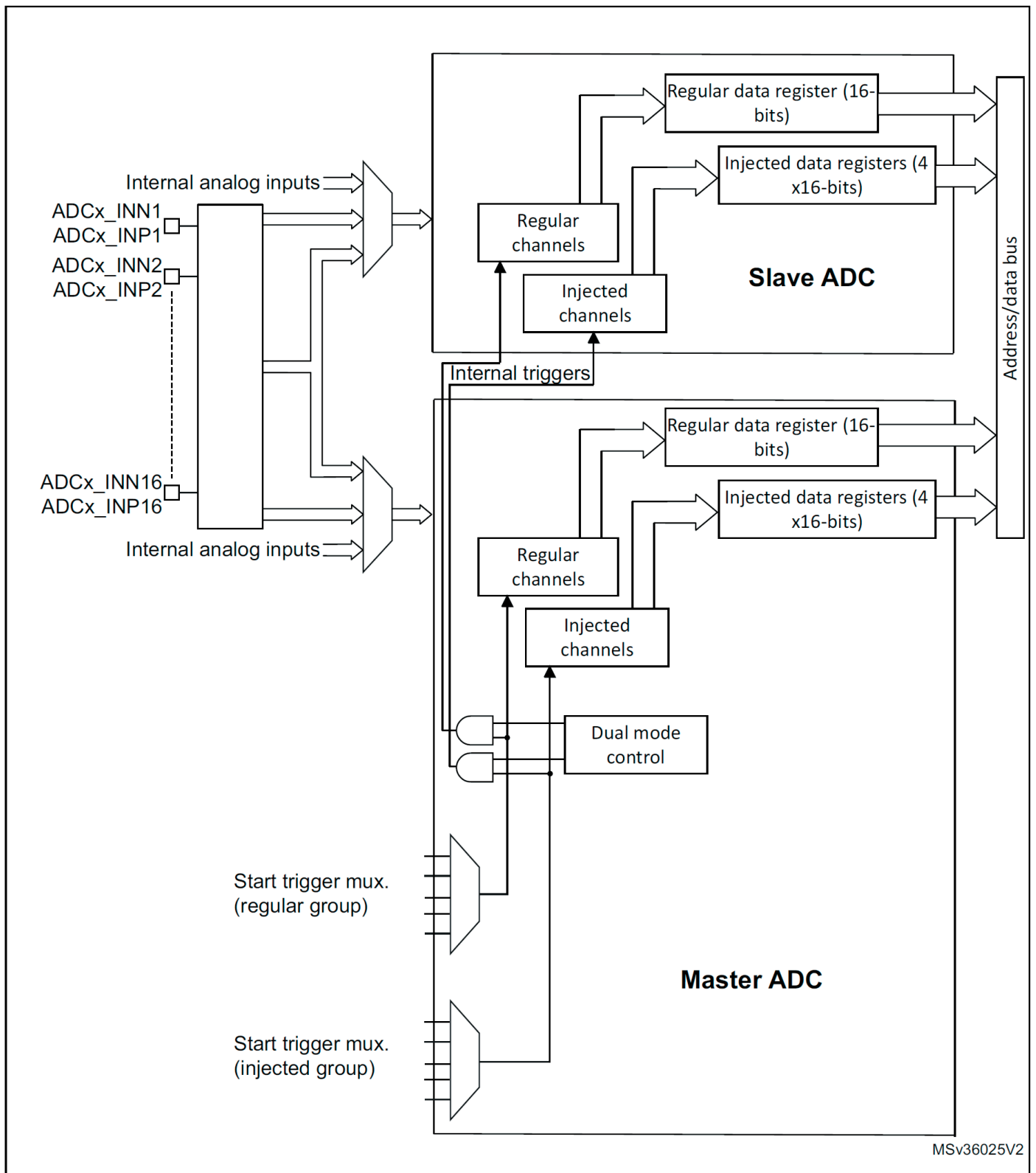
В режиме двойного АЦП преобразованные данные ведущего и ведомого АЦП могут считываться параллельно путем чтения регистра общих данных АЦП (ADCx_CDR). Биты состояния также можно считывать параллельно, читая двухрежимный регистр состояния (ADCx_CSR).

Инжектированный одновременный режим

Этот режим выбирается путем программирования битов DUAL[4:0] = 00101.

Этот режим преобразует инжектированную группу каналов. Внешний источник запуска поступает от введенного группового мультиплексора главного АЦП (выбирается битами JEXTSEL в регистре ADC_JSQR).

Рис. 137. Блок-схема сдвоенного АЦП(1)



1. Внешние триггеры также существуют на ведомом АЦП, но не показаны на этой диаграмме.
2. Регистр общих данных АЦП (ADCx_CDR) содержит обычные преобразованные данные как главного, так и подчиненного АЦП.

Примечание. Не преобразовывайте один и тот же канал на двух АЦП (при преобразовании одного и того же канала время выборки двух АЦП не перекрывается).

В одновременном режиме необходимо преобразовать последовательности одинаковой длины или убедиться, что интервал между триггерами больше, чем более длинный из двух последовательностей. В противном случае АЦП с самой короткой

последовательностью может перезапуститься, пока АЦП с самой длинной последовательностью завершает предыдущие преобразования.

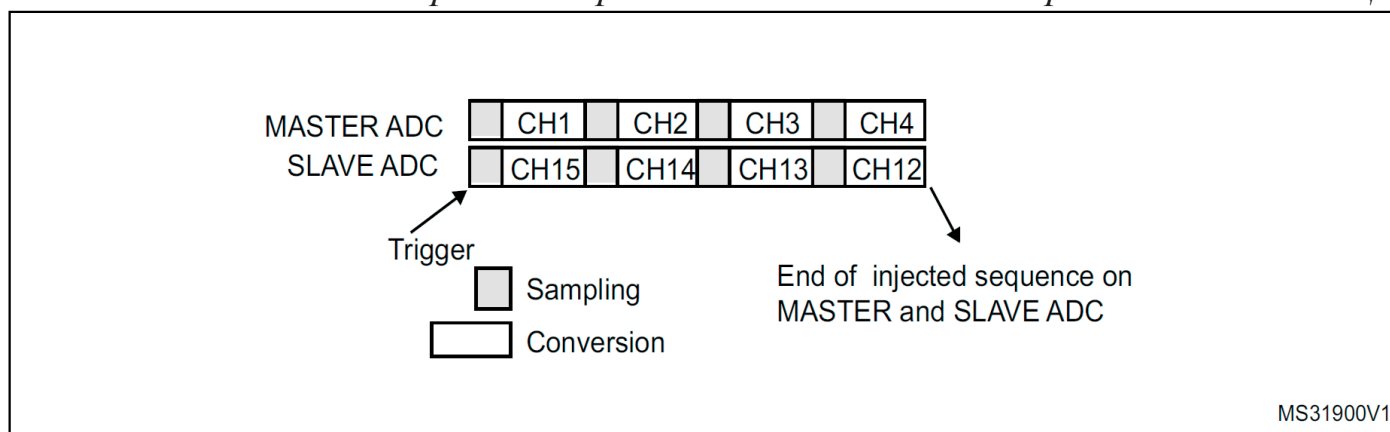
Регулярные преобразования могут выполняться на одном или всех АЦП. В этом случае они независимы друг от друга и прерываются при возникновении события инъектирования. Они возобновляются в конце инъектированной конверсионной группы.

- В конце введенного события последовательности преобразования (JEOS) на главном АЦП преобразованные данные сохраняются в регистрах главного ADC_JDRy и генерируется прерывание JEOS (если включено)

- В конце введенного события последовательности преобразования (JEOS) на ведомом АЦП преобразованные данные сохраняются в регистрах ведомого ADC_JDRy и генерируется прерывание JEOS (если разрешено)

- Если продолжительность последовательности, введенной мастером, равна длительности последовательности, введенной подчиненным (как на рис. 138), программное обеспечение может разрешить только одно из двух прерываний JEOS (например, главное JEOS) и прочитать оба преобразованных данных (из главного регистра ADC_JDRy и подчиненного регистра ADC_JDRy).

Рис. 138. Одновременный режим ввода на 4 каналах: режим двойного АЦП



Если JDISCEN = 1, каждое одновременное преобразование введенной последовательности требует возникновения введенного триггерного события.

Этот режим можно комбинировать с режимом AUTDLY:

- После того, как одновременная введенная последовательность преобразований закончилась, новое введенное событие запуска принимается только в том случае, если оба бита JEOS ведущего и ведомого АЦП были очищены (фаза задержки). Любые новые вводимые триггерные события, возникающие во время текущей вводной последовательности и соответствующей фазы задержки, игнорируются.

- После завершения обычной последовательности преобразований главного АЦП новое регулярное триггерное событие ведущего АЦП принимается только в том случае, если регистр основных данных (ADC_DR) был прочитан. Любые новые регулярные события запуска, возникающие для ведущего АЦП во время текущей регулярной последовательности и связанных с ними фаз задержки, игнорируются. То же самое происходит и с регулярными последовательностями, происходящими на подчиненном АЦП.

Регулярный одновременный режим с независимым инъектированием

Этот режим выбирается путем программирования битов DUAL[4:0] = 00110.

Этот режим выполняется на обычной группе каналов. Внешний источник за-

пуска поступает от обычного группового мультиплексора главного АЦП (выбирается битами EXTSEL в регистре ADC_CFGR). Одновременный запуск предоставляется подчиненному АЦП.

В этом режиме поддерживаются независимые внедренные преобразования. Запрос на внедрение (либо на ведущем, либо на подчиненном устройстве) прерывает текущие одновременные преобразования, которые перезапускаются после завершения внедренного преобразования.

Примечание. Не преобразовывайте один и тот же канал на двух АЦП (при преобразовании одного и того же канала время выборки двух АЦП не перекрывается).

В обычном одновременном режиме необходимо преобразовать последовательно одинаковой длины или убедиться, что интервал между триггерами больше, чем более длительное время преобразования 2 последовательностей. В противном случае АЦП с самой короткой последовательностью может перезапуститься, пока АЦП с самой длинной последовательностью завершает предыдущие преобразования.

Программное обеспечение уведомляется прерываниями, когда оно может прочитать данные:

- В конце каждого события преобразования (ЕОС) на ведущем АЦП генерируется прерывание ведущего ЕОС (если включен ЕОСІЕ), и программное обеспечение может считать ADC_DR ведущего АЦП.

- В конце каждого события преобразования (ЕОС) на подчиненном АЦП генерируется прерывание подчиненного ЕОС (если ЕОСІЕ включен), и программное обеспечение может считать ADC_DR подчиненного АЦП.

- Если продолжительность основной регулярной последовательности равна продолжительности подчиненной (как на рис. 139), программное обеспечение может разрешить только одно из двух прерываний ЕОС (например, главное ЕОС) и прочитать оба преобразованные данные из регистра общих данных (ADCx_CDR).

Также можно прочитать обычные данные, используя DMA. Возможны два метода:

- Использование двух каналов DMA (один для ведущего и один для ведомого). В этом случае биты MDMA[1:0] должны быть очищены.

- Настройте главный канал АЦП DMA для чтения ADC_DR от ведущего. Запросы DMA генерируются при каждом событии ЕОС ведущего ADC.

- Настройте канал АЦП подчиненного устройства DMA для чтения ADC_DR с подчиненного устройства. Запросы DMA генерируются при каждом событии ЕОС подчиненного АЦП.

- Использование режима MDMA, при котором один канал DMA остается свободным для других целей:

- Настройте MDMA[1:0] = 10 или 11 (в зависимости от разрешения).

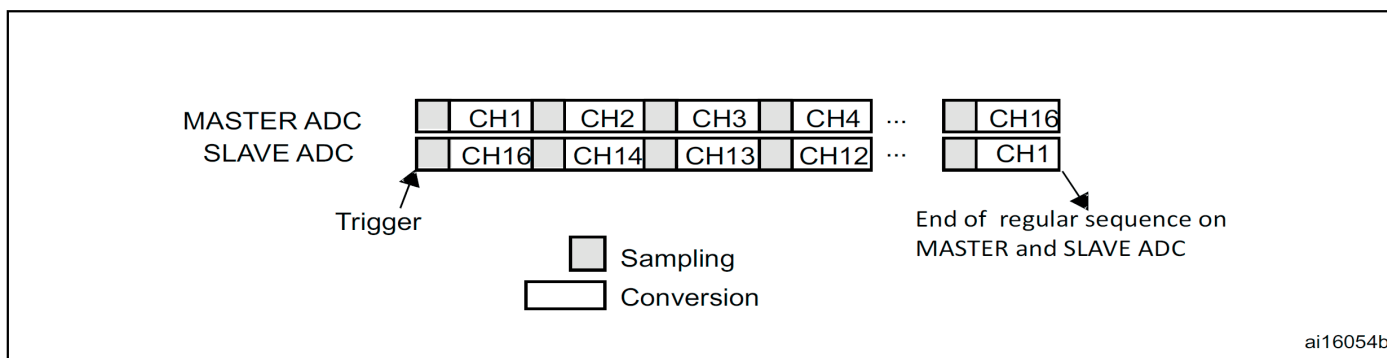
- Используется один канал DMA (один из ведущих). Настройте главный канал АЦП DMA для чтения общего регистра АЦП (ADCx_CDR).

- Одиночный запрос DMA генерируется каждый раз, когда происходят события ЕОС как ведущего, так и ведомого. В это время преобразованные данные подчиненного АЦП доступны в старшей половине 32-битного регистра ADCx_CDR, а преобразованные данные главного АЦП доступны в младшей половине слова регистра ADCx_CDR.

- Оба флага ЕОС сбрасываются, когда DMA считывает регистр ADCx_CDR.

Примечание. В режиме MDMA ($MDMA[1:0] = 10$ или 11) пользователь должен запрограммировать такое же количество преобразований в последовательности ведущего устройства, как и в последовательности подчиненного устройства. В противном случае оставшиеся преобразования не генерируют запрос DMA.

Рисунок 139. Обычный одновременный режим на 16 каналах: режим сдвоенного АЦП



Если $DISCEN = 1$, то каждое «n» одновременных преобразований регулярной последовательности требует возникновения регулярного триггерного события («n» определяется $DISCNUM$).

Этот режим можно комбинировать с режимом AUTDLY:

- После завершения одновременного преобразования последовательности следующее преобразование в последовательности начинается только в том случае, если регистр общих данных $ADCx_CDR$ (или регистр обычных данных ведущего АЦП) был прочитан (фаза задержки).

- После того, как одновременная регулярная последовательность преобразований закончилась, новое регулярное событие запуска принимается только в том случае, если общий регистр данных ($ADCx_CDR$) был прочитан (фаза задержки). Любые новые регулярные триггерные события, возникающие во время текущей регулярной последовательности и связанных с ними фаз задержки, игнорируются.

Можно использовать DMA для обработки данных в обычном одновременном режиме в сочетании с режимом AUTDLY, предполагая, что используется режим множественного DMA: биты MDMA должны быть установлены на 10 или 11.

Когда обычный одновременный режим комбинируется с режимом AUTDLY, пользователь должен убедиться, что:

- Количество преобразований в последовательности ведущего равно количеству преобразований в последовательности ведомого.

- Для каждого одновременного преобразования последовательности длина преобразования ведомого АЦП меньше длины преобразования ведущего АЦП. Обратите внимание, что длина последовательности зависит от количества каналов для преобразования, времени дискретизации и разрешения каждого канала.

Примечание. Эта комбинация обычного одновременного режима и режима AUTDLY ограничена случаем использования, когда запрограммированы только обычные каналы: запрещается программировать введенные каналы в этом комбинированном режиме.

Чередующийся режим с независимым вводом

Этот режим выбирается программированием битов $DUAL[4:0] = 00111$.

Этот режим можно запустить только на обычной группе (обычно один канал). Внешний источник запуска поступает от обычного мультиплексора каналов главного АЦП.

После срабатывания внешнего триггера:

- Главный АЦП запускается немедленно.
- Подчиненный АЦП запускается с задержкой в несколько тактовых циклов АЦП после завершения фазы выборки ведущего АЦП.

Минимальная задержка, которая разделяет два преобразования в режиме чередования, настраивается в битах DELAY в регистре ADCx_CCR. Эта задержка начинает отсчет одного полупериода после окончания фазы выборки основного преобразования. Таким образом, АЦП не может начать преобразование, если дополнительный АЦП все еще производит выборку входного сигнала (только один АЦП может выполнять выборку входного сигнала в данный момент времени).

- Минимально возможная ЗАДЕРЖКА равна 1, чтобы гарантировать наличие по крайней мере одного времени цикла между размыканием аналогового переключателя фазы выборки ведущего АЦП и замыканием аналогового переключателя фазы выборки подчиненного АЦП.

- Максимальная ЗАДЕРЖКА равна количеству циклов, соответствующих выбранному разрешению. Однако пользователь должен правильно рассчитать эту задержку, чтобы гарантировать, что АЦП не начнет преобразование, пока другой АЦП все еще производит выборку своего входного сигнала.

Если бит CONT установлен как на ведущем, так и на ведомом АЦП, выбранные обычные каналы обоих АЦП непрерывно преобразуются.

Программное обеспечение уведомляется прерываниями, когда оно может считать данные в конце каждого события преобразования (ЕОС) на ведомом АЦП. Генерируются прерывания ЕОС ведомого и ведущего (если включен ЕОС1Е), и программное обеспечение может считывать ADC_DR ведомого/ведущего АЦП.

Примечание. Можно разрешить только прерывание ЕОС подчиненного устройства и прочитать регистр общих данных (ADCx_CDR). Но в этом случае пользователь должен убедиться, что продолжительность преобразований совместима, чтобы гарантировать, что внутри последовательности за главным преобразованием всегда следует подчиненное преобразование, прежде чем будет перезапущено новое основное преобразование. Рекомендуется использовать режим MDMA.

Также возможно иметь обычные данные, переданные DMA. В этом случае нельзя использовать отдельные запросы DMA на каждом ADC и обязательно использовать режим MDMA, как показано ниже:

- Настройте MDMA[1:0] = 10 или 11 (в зависимости от разрешения).
- Используется один канал DMA (один из ведущих). Настройте главный канал АЦП прямого доступа к памяти для чтения общего регистра АЦП (ADCx_CDR).
- Каждый раз, когда происходят события ЕОС как ведущего, так и ведомого, генерируется одиночный запрос DMA. В это время преобразованные данные подчиненного АЦП доступны в старшей половине 32-битного регистра ADCx_CDR, а преобразованные данные главного АЦП доступны в младшей половине слова регистра ADCx_CCR.
- Оба флага ЕОС сбрасываются, когда DMA читает регистр ADCx_CCR.

Рис. 140. Режим чередования на 1 канале в режиме непрерывного преобразования: режим двойного АЦП

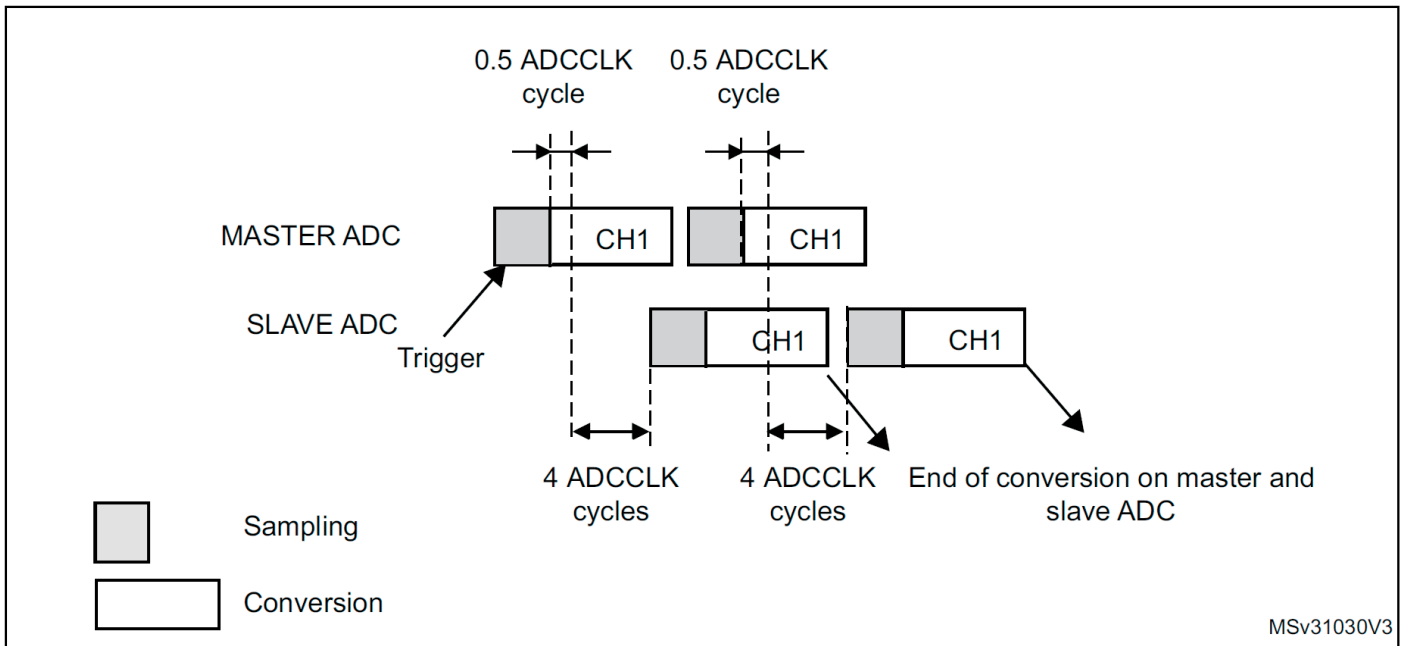
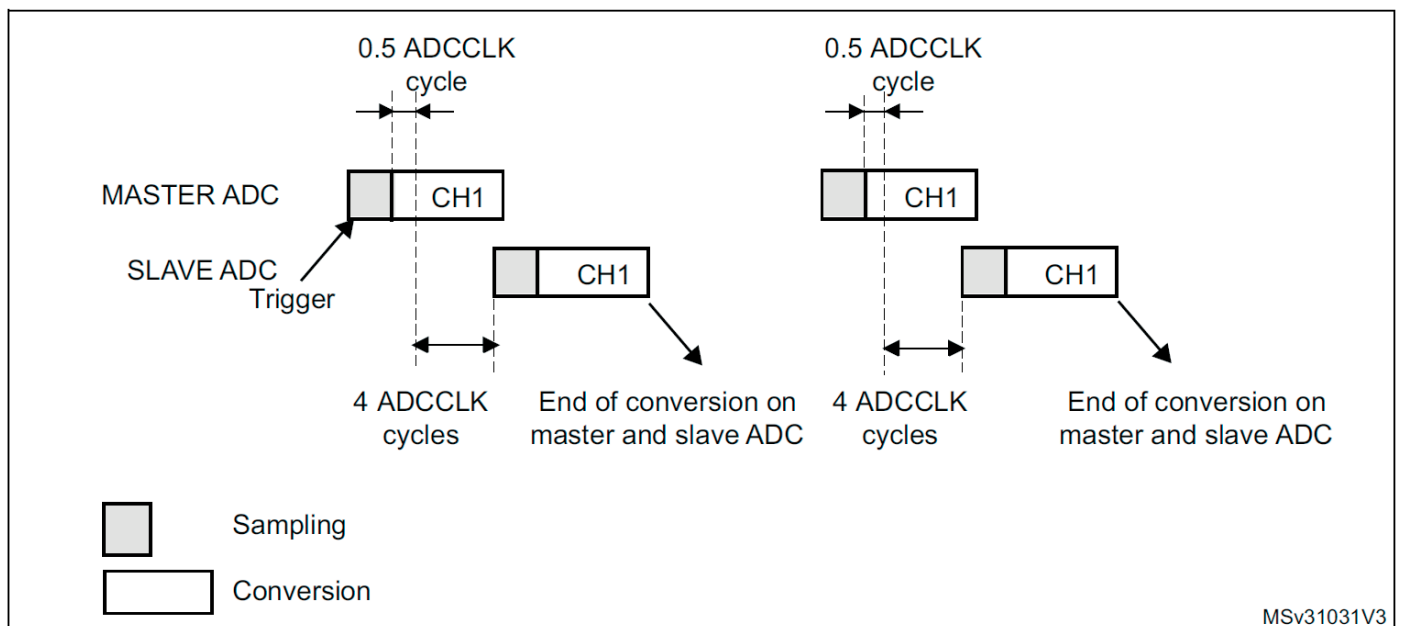


Рис. 141. Режим чередования на 1 канале в режиме одиночного преобразования: режим двойного АЦП



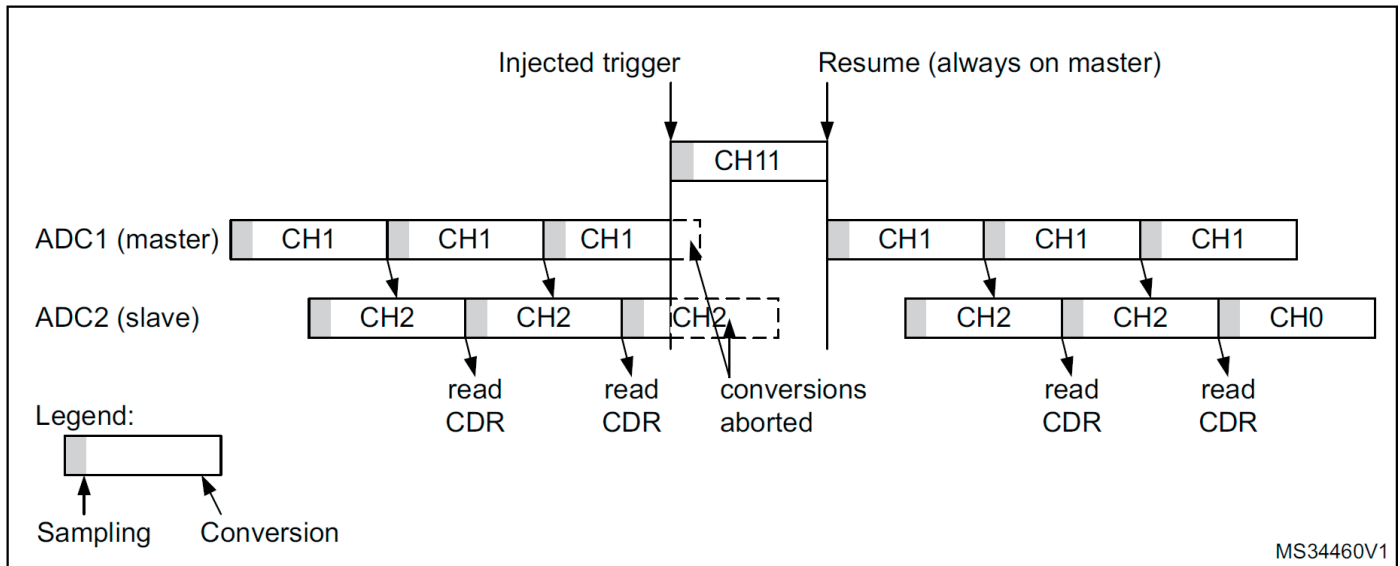
Если $DISCEN = 1$, для каждого «n» одновременных преобразований («n» определяется $DISCNUM$) регулярной последовательности требуется регулярное триггерное событие.

В этом режиме поддерживаются внедренные преобразования. Когда инъектирование выполнено (либо на ведущем, либо на ведомом), обычные преобразования как ведущего, так и ведомого прерываются, и последовательность перезапускается с ведущего (см. рис. 142 ниже).

Альтернативный режим триггера

Этот режим выбирается путем программирования битов $DUAL[4:0] = 01001$.

Рисунок 142. Чередующееся преобразование с инжекцией



Этот режим может быть запущен только в инжектированной группе. Источником внешнего триггера является инжектированный групповой мультиплексор главного АЦП.

Этот режим возможен только при выборе аппаратных триггеров: JEXTEN[1:0] не должен быть равен 00.

Инжектированный прерывистый режим отключен (JDISCEN = 0 для обоих АЦП)

1. При срабатывании 1-го триггера все введенные главные каналы АЦП в группе преобразуются.
2. При срабатывании 2-го триггера все введенные ведомые каналы АЦП в группе преобразуются.
3. И так далее.

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных каналов главного АЦП в группе.

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных каналов подчиненного АЦП в группе.

Прерывания JEOS, если они включены, также могут генерироваться после каждого введенного преобразования.

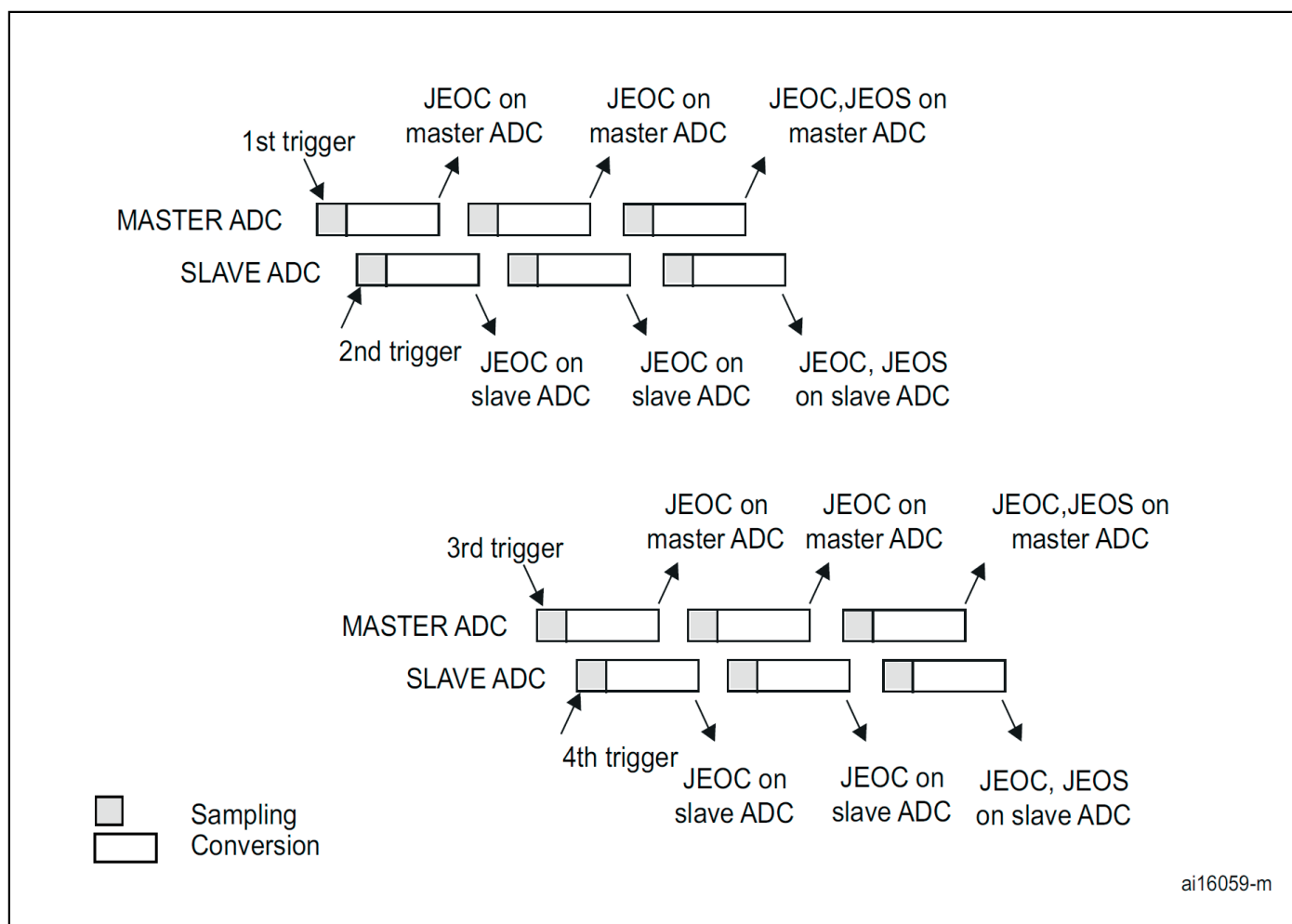
Если другой внешний запуск происходит после того, как все введенные каналы в группе были преобразованы, процесс альтернативного запуска перезапускается путем преобразования введенных каналов главного АЦП в группе.

Примечание. Обычные преобразования можно включить для одного или всех АЦП. В этом случае обычные преобразования не зависят друг от друга. Обычное преобразование прерывается, когда АЦП должен выполнить введенное преобразование. Он возобновляется после завершения введенного преобразования.

Временной интервал между двумя событиями запуска должен быть больше или равен 1 периоду синхронизации АЦП. Минимальный временной интервал между двумя триггерными событиями, запускающими преобразования на одном и том же АЦП, такой же, как и в режиме одного АЦП.

Включен прерывистый режим ввода (JDISCEN = 1 для обоих АЦП)

Рисунок 143. Альтернативный триггер: инъектированная группа каждого АЦП



Если инъектированный прерывистый режим включен как для ведущего, так и для ведомого АЦП:

- Когда происходит 1-й запуск, преобразуется первый инъектированный канал главного АЦП.
- Когда происходит 2-й запуск, преобразуется первый введенный канал подчиненного АЦП.
- И так далее.

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных каналов главного АЦП в группе.

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных каналов подчиненного АЦП в группе.

Прерывания JEOC, если они включены, также могут генерироваться после каждого введенного преобразования.

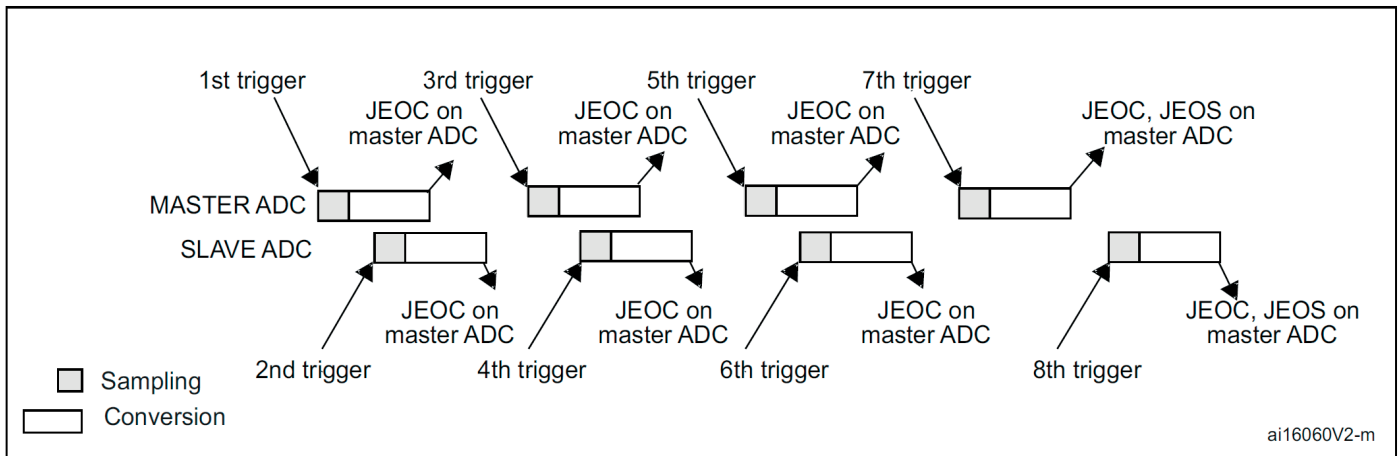
Если другой внешний триггер возникает после того, как все введенные каналы в группе были преобразованы, процесс альтернативного триггера перезапускается.

Комбинированный обычный/инъектированный одновременный режим

Этот режим выбирается путем программирования битов $DUAL[4:0] = 00001$.

Можно прервать одновременное преобразование обычной группы, чтобы начать одновременное преобразование введенной группы.

Рис. 144. Альтернативный запуск: 4 инжектированных канала (каждый АЦП) в прерывистом режиме



Примечание. В комбинированном обычном/инжектированном одновременном режиме необходимо преобразовать последовательности одинаковой длины или убедиться, что интервал между триггерами длиннее, чем длительное время преобразования 2 последовательностей. В противном случае АЦП с самой короткой последовательностью может перезапуститься, пока АЦП с самой длинной последовательностью завершает предыдущие преобразования.

Комбинированный обычный одновременный + альтернативный режим триггера

Этот режим выбирается путем программирования битов $DUAL[4:0] = 00010$.

Можно прервать одновременное преобразование обычной группы, чтобы начать альтернативное преобразование триггера введенной группы. На рис. 145 показано поведение альтернативного триггера, прерывающего одновременное обычное преобразование.

Внедренное альтернативное преобразование запускается сразу после введенного события. Если обычное преобразование уже выполняется, для обеспечения синхронизации после введенного преобразования обычное преобразование всех (ведущих/ведомых) АЦП останавливается и возобновляется синхронно в конце введенного преобразования.

Примечание. В комбинированном режиме обычного одновременного + альтернативного запуска необходимо преобразовать последовательности одинаковой длины или убедиться, что интервал между запусками длиннее, чем длительное время преобразования двух последовательностей. В противном случае АЦП с самой короткой последовательностью может перезапуститься, пока АЦП с самой длинной последовательностью завершает предыдущие преобразования.

Если триггер возникает во время введенного преобразования, прерванного обычное преобразование, обслуживается альтернативный триггер. На рис. 146 показано поведение в этом случае (обратите внимание, что 6-й триггер игнорируется, поскольку соответствующее альтернативное преобразование не завершено).

Комбинированный инжекторный одновременный плюс чередующийся

Этот режим выбирается путем программирования битов $DUAL[4:0] = 00011$.

Рисунок 145. Альтернативный + регулярный одновременный

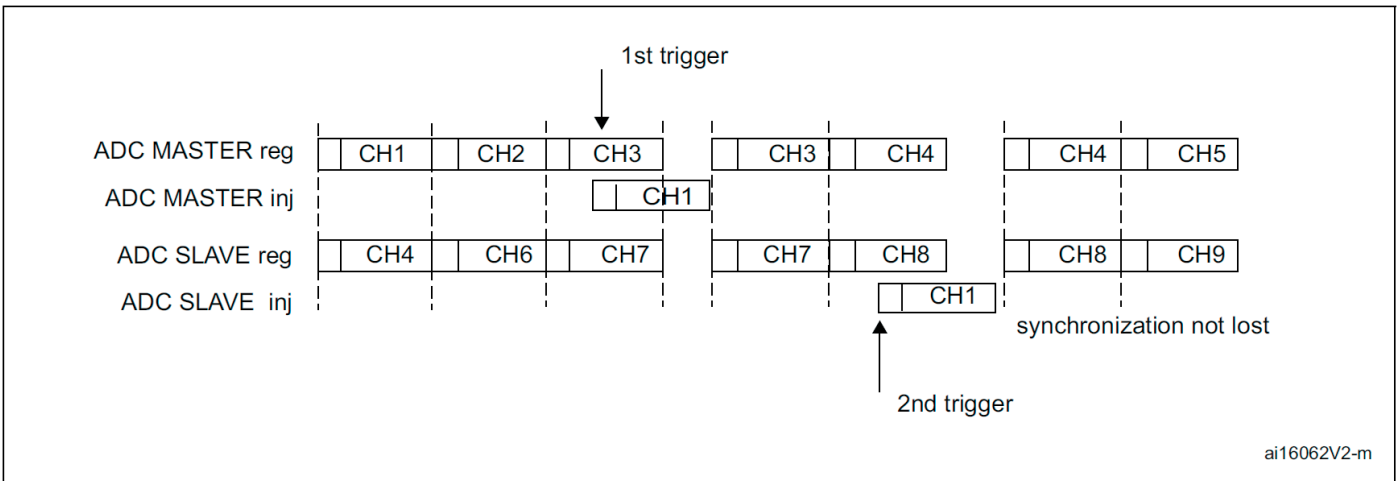
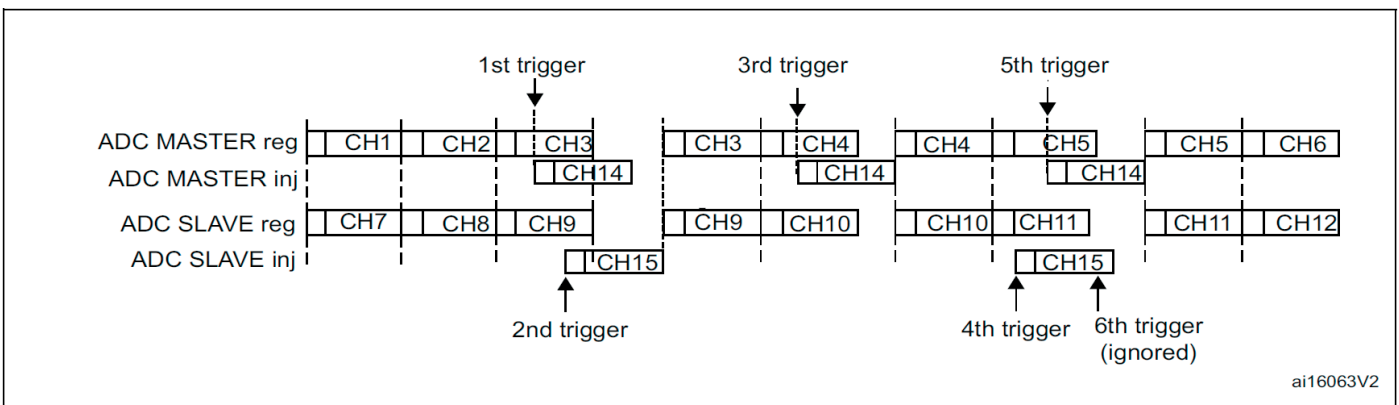


Рис. 146. Случай срабатывания триггера при инжектированном преобразовании



Преобразование с чередованием можно прервать одновременным вводом события. В этом случае преобразование с чередованием немедленно прерывается и начинается преобразование с одновременным внедрением. В конце введенной последовательности чередующееся преобразование возобновляется. Когда чередующееся обычное преобразование возобновляется, первое регулярное преобразование, которое выполняется, всегда является основным. Рисунок 147, Рисунок 148 и Рисунок 149 показывают поведение на примере.

Внимание: в этом режиме обязательно использовать регистр общих данных для чтения обычных данных с одним доступом для чтения. Напротив, согласованность данных ведущий-ведомый не гарантируется.

Рисунок 147. Чередование одного канала CH0 с введенной последовательностью CH11, CH12

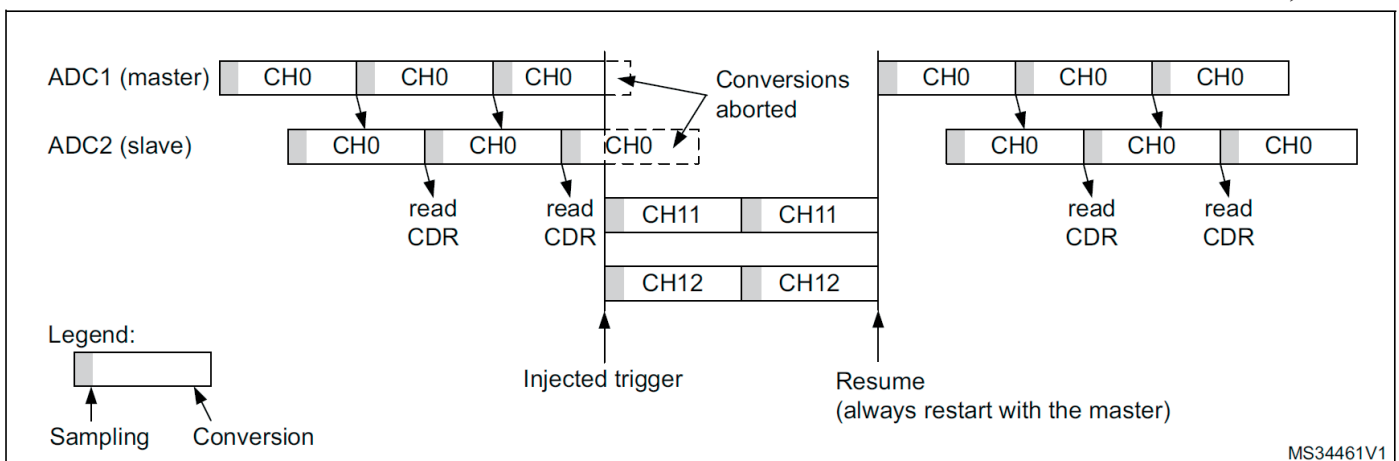


Рисунок 148. Два чередующихся канала (CH1, CH2) с инжектированной последовательностью CH11, CH12 - случай 1: Мастер прерывается первым

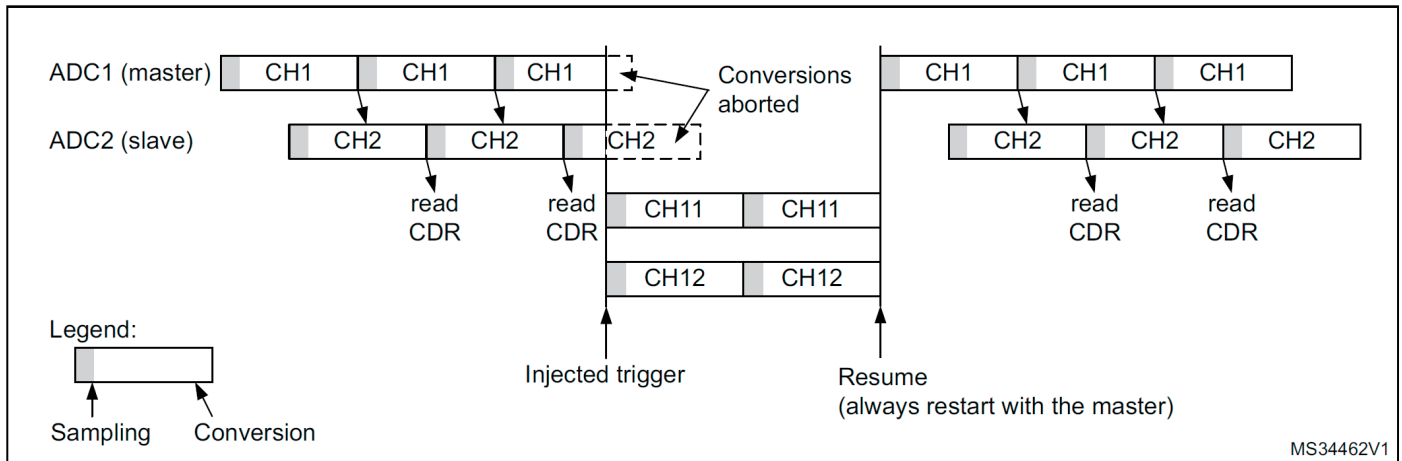
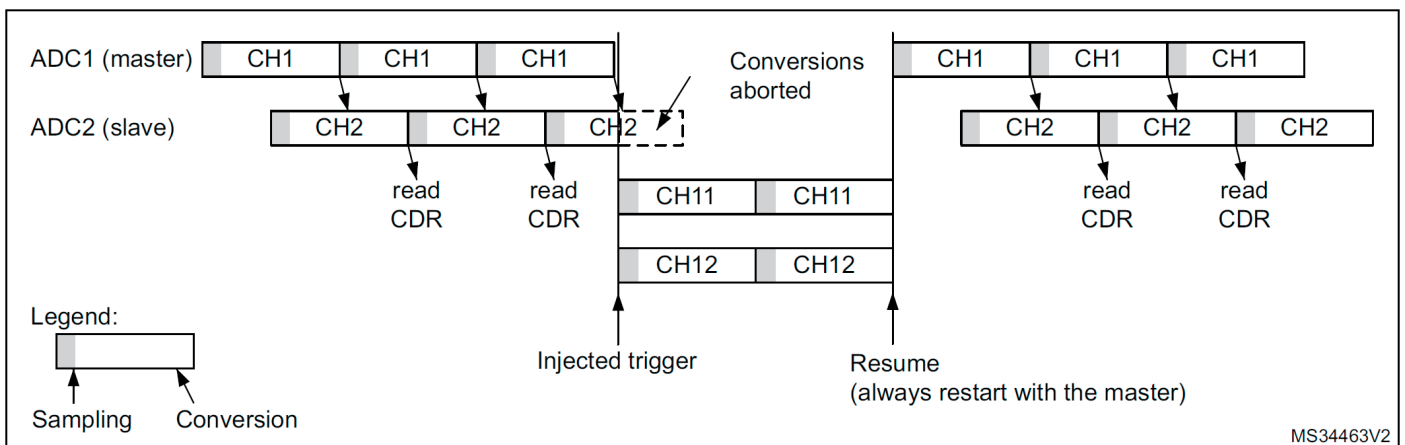


Рисунок 149. Два чередующихся канала (CH1, CH2) с инжектированной последовательностью CH11, CH12 - случай 2: Ведомый прерван первым



Запросы DMA в режиме двойного АЦП

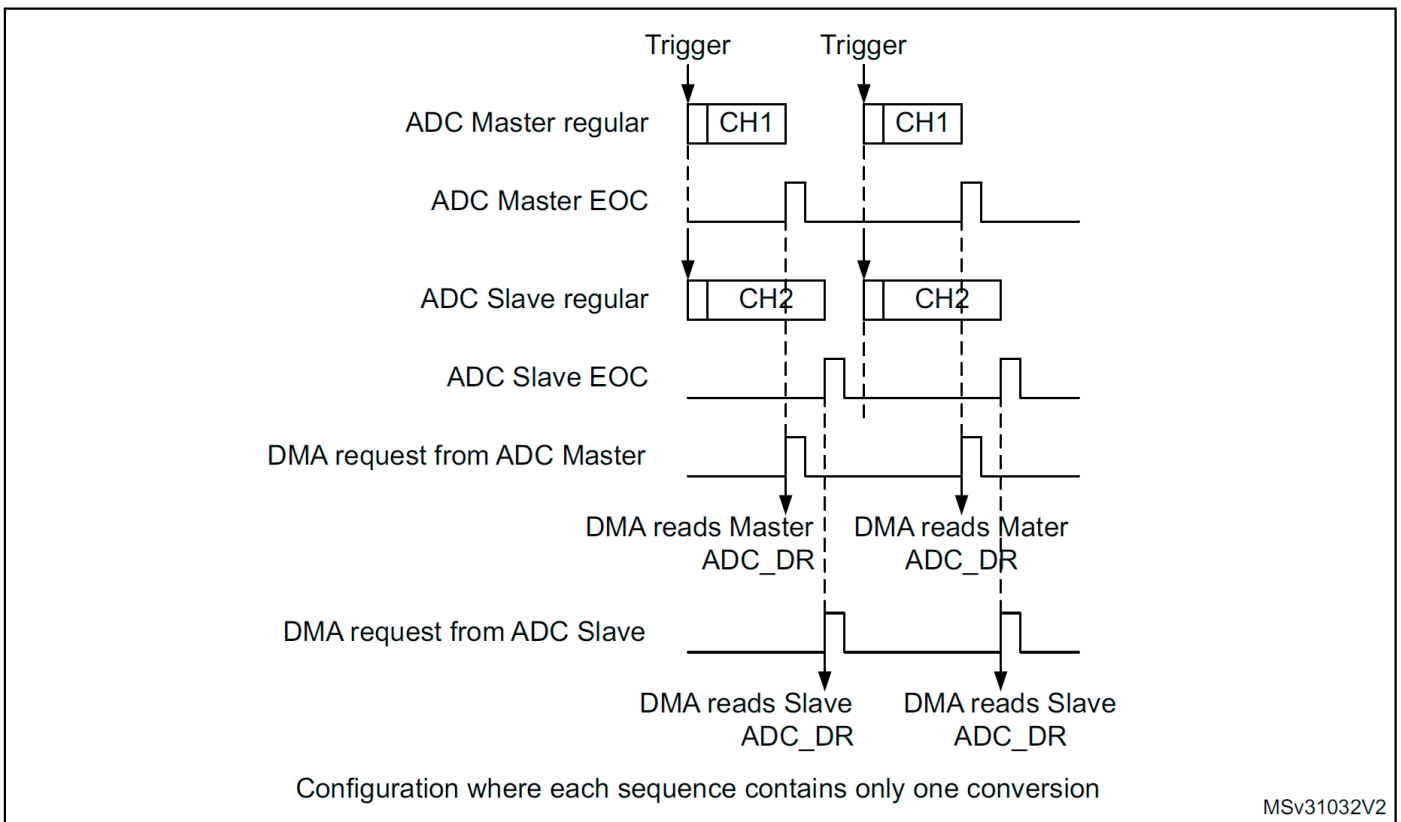
Во всех режимах двойного АЦП можно использовать два канала DMA (один для ведущего, один для ведомого) для передачи данных, как и в одиночном режиме (см. Рисунок 150: Запросы DMA в обычном одновременном режиме, когда MDMA = 00).

В одновременных обычном и чередующемся режимах также возможно сохранить один канал DMA и передать оба данных, используя один канал DMA. Для этого биты MDMA должны быть настроены в регистре ADCx_CCR:

- **MDMA = 10:** Одиночный запрос DMA генерируется каждый раз, когда происходят события EOC как ведущего, так и ведомого. В это время доступны два элемента данных, а 32-битный регистр ADCx_CDR содержит два полуслова, представляющих два элемента данных, преобразованных с помощью АЦП. Данные ведомого АЦП занимают старшее полуслово, а данные ведущего АЦП занимают нижнее полуслово.

Этот режим используется в режиме с чередованием и в обычном одновременном режиме, когда разрешение составляет 10 или 12 бит.

Рисунок 150. Запросы DMA в обычном одновременном режиме, когда MDMA = 00

**Пример:**

Двойной режим с чередованием: запрос DMA генерируется каждый раз, когда доступны 2 элемента данных:

1-й запрос DMA: $ADCx_CDR[31:0] = SLV_ADC_DR[15:0] | MST_ADC_DR[15:0]$

2-й запрос DMA: $ADCx_CDR[31:0] = SLV_ADC_DR[15:0] | MST_ADC_DR[15:0]$

Рисунок 151. Запросы DMA в обычном одновременном режиме при MDMA = 10

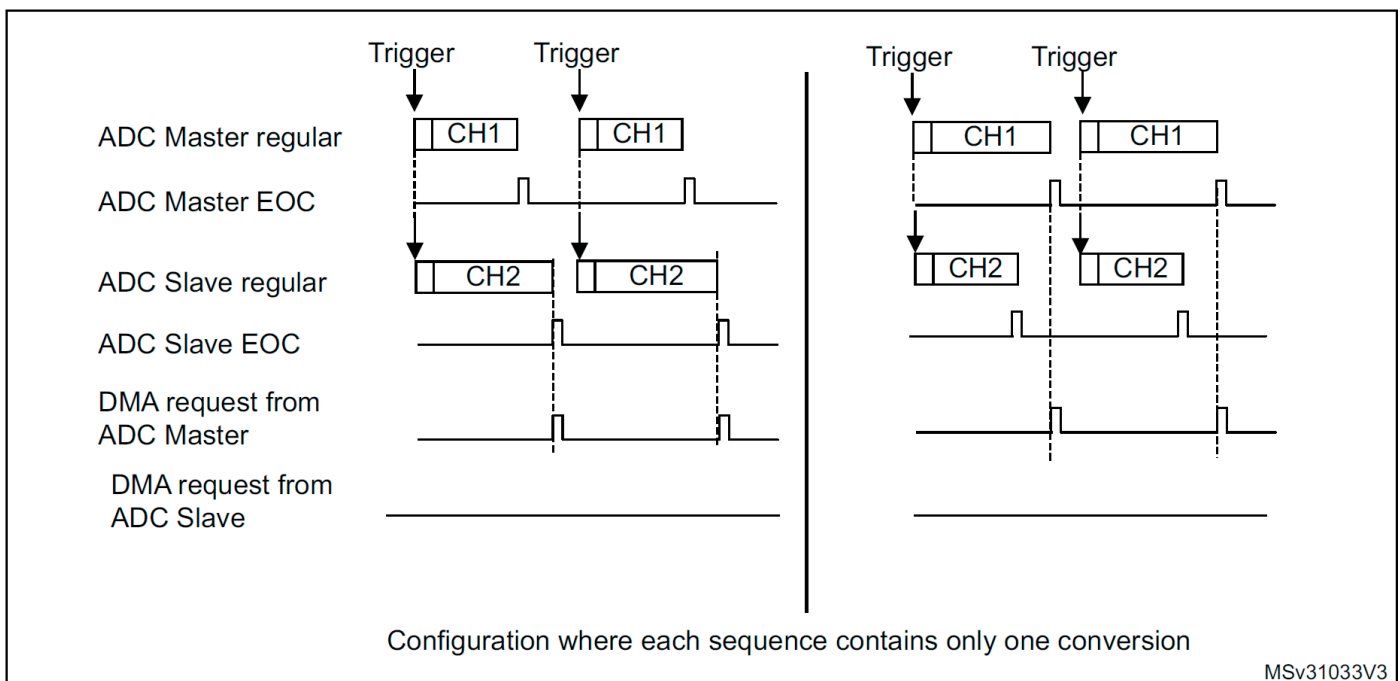
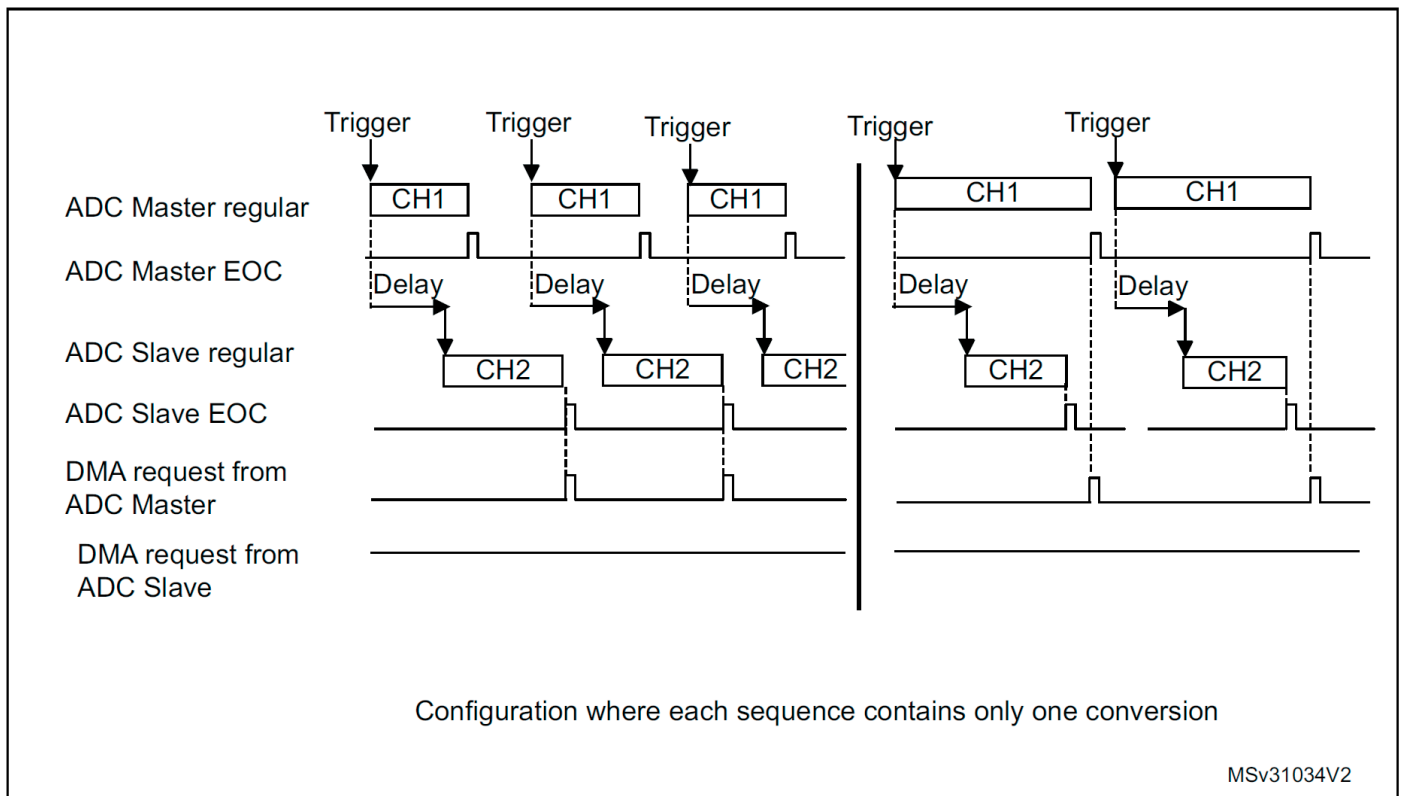


Рисунок 151. Запросы DMA в обычном одновременном режиме при MDMA = 10



Примечание. При использовании режима MDMA пользователь должен позаботиться о том, чтобы правильно настроить продолжительность преобразования ведущего и подчиненного устройств, чтобы запрос DMA генерировался и обслуживался для чтения обоих данных (ведущий + подчиненный) до того, как будет доступно новое преобразование.

• **MDMA = 11:** Этот режим аналогичен MDMA = 10. Единственное отличие состоит в том, что при каждом запросе DMA (доступны два элемента данных) два байта, представляющие два элемента данных, преобразованных с помощью АЦП, передаются как полуслово.

Этот режим используется в чередующемся и обычном одновременном режимах, когда разрешение 6-битное или когда разрешение 8-битное и данные без знака (смещения должны быть отключены для всех задействованных каналов).

Пример:

Двойной режим с чередованием: запрос DMA генерируется каждый раз, когда доступны 2 элемента данных:

1-й запрос DMA: $ADCx_CDR[15:0] = SLV_ADC_DR[7:0] | MST_ADC_DR[7:0]$

2-й запрос DMA: $ADCx_CDR[15:0] = SLV_ADC_DR[7:0] | MST_ADC_DR[7:0]$

Обнаружение переполнения

В режиме двойного АЦП (когда DUAL[4:0] не равно 00000) при обнаружении переполнения на одном из АЦП запросы DMA больше не выдаются, чтобы убедиться, что все данные, передаваемые в ОЗУ, верны (это происходит независимо от конфигурации MDMA). Может случиться так, что бит EOC, соответствующий одному АЦП, останется установленным, потому что регистр данных этого АЦП содержит достоверные данные.

Одноразовый режим DMA/ круговой режим DMA, когда выбран режим MDMA

Когда выбран режим MDMA (10 или 11), бит DMACFG регистра ADCx_CCR также должен быть сконфигурирован для выбора между однократным режимом DMA и циклическим режимом, как описано в разделе «Управление преобразованиями с использованием DMA (биты DMACFG ведущего и ведомого ADC_CFGR не важны).

Остановка преобразований в режимах двойного АЦП

Пользователь должен установить управляющие биты ADSTP/JADSTP главного АЦП, чтобы остановить преобразования обоих АЦП в режиме двойного АЦП. Другой управляющий бит ADSTP ведомого АЦП не действует в режиме двойного АЦП.

Как только оба АЦП эффективно остановлены, биты ADSTART/JADSTART ведущего и подчиненного АЦП сбрасываются аппаратно.

